

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mos

mos

mos

SPECIFICATIONS PROVISOIRES

PROCESSEUR DE VISUALISATION GRAPHIQUE (GDP)

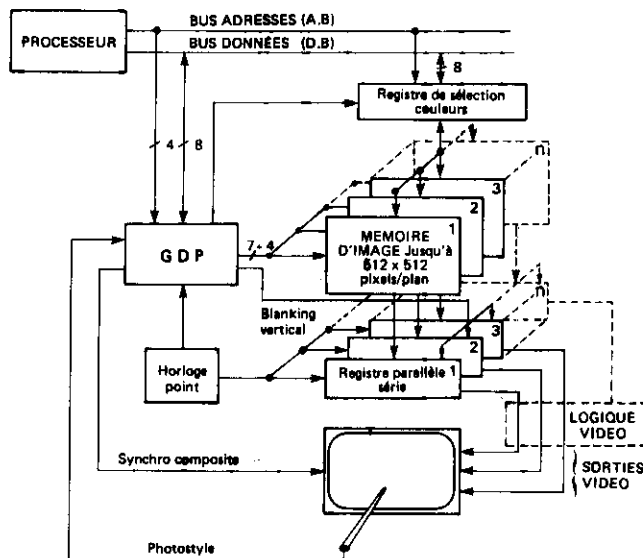
Le GDP (Graphic Display Processor) est un véritable processeur de visualisation graphique à haute résolution. Il possède toutes les fonctions nécessaires à la génération de vecteurs à très grande vitesse et des signaux logiques nécessaires pour l'interface avec un moniteur vidéo en mode entrelacé ou non entrelacé, compatible aux normes CCIR 625 lignes 50 Hz.

La souplesse d'utilisation du GDP résulte de son interfaçage direct avec n'importe quel microprocesseur 8 bits et de ses 11 registres internes.

Les caractéristiques principales du GDP sont :

- Plusieurs résolutions possibles (noir et blanc ou couleur)
EF9365 : 512 x 512 (balayage entrelacé)
 256 x 256, 128 x 128, 64 x 64 (balayage non entrelacé)
EF9366 : 512 x 256 (balayage non entrelacé)
- Générateur de vecteurs rapide permettant l'animation (jusqu'à 1 500 000 points/s. et une valeur moyenne de 900 000 points/s.) - 4 types de trait.
- Générateur de caractères intégré (96 caractères ASCII). Dimensions et orientations programmables. Densité maximum de l'écran alphanumérique 85 x 57.
- Adressage multiplexé et rafraîchissement prévus pour RAM dynamiques de 4 K ou 16 K.
- Génère tous les signaux de contrôle de la mémoire d'image, de "blanking" et de synchro composite pour interfaçage direct avec un moniteur vidéo.
- Allocation automatique de la mémoire d'écran en cycles de visualisation, de rafraîchissement, d'écriture et de lecture externe.
- Signaux de contrôle et registres pour l'utilisation d'un photostyle (light-pen).
- 3 types possibles de requête d'interruption.
- Conception entièrement statique.
- Entrées / sorties compatibles TTL.
- Alimentation unique : + 5 V.

APPLICATION TYPIQUE



Développé en collaboration avec l'Ecole Normale Supérieure.

EFCIS
FRANCE

45, av. de l'Europe
78140 VELIZY

EF9365

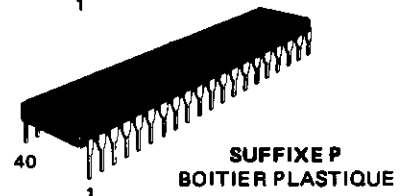
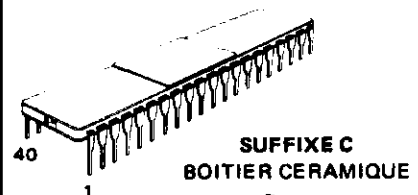
EF9366

MOS

(CANAL N, GRILLE SILICIUM)

PROCESSEUR DE VISUALISATION GRAPHIQUE HAUTE RESOLUTION

BOITIER CB-182



Différentes versions : voir dernière page.

BROCHAGE

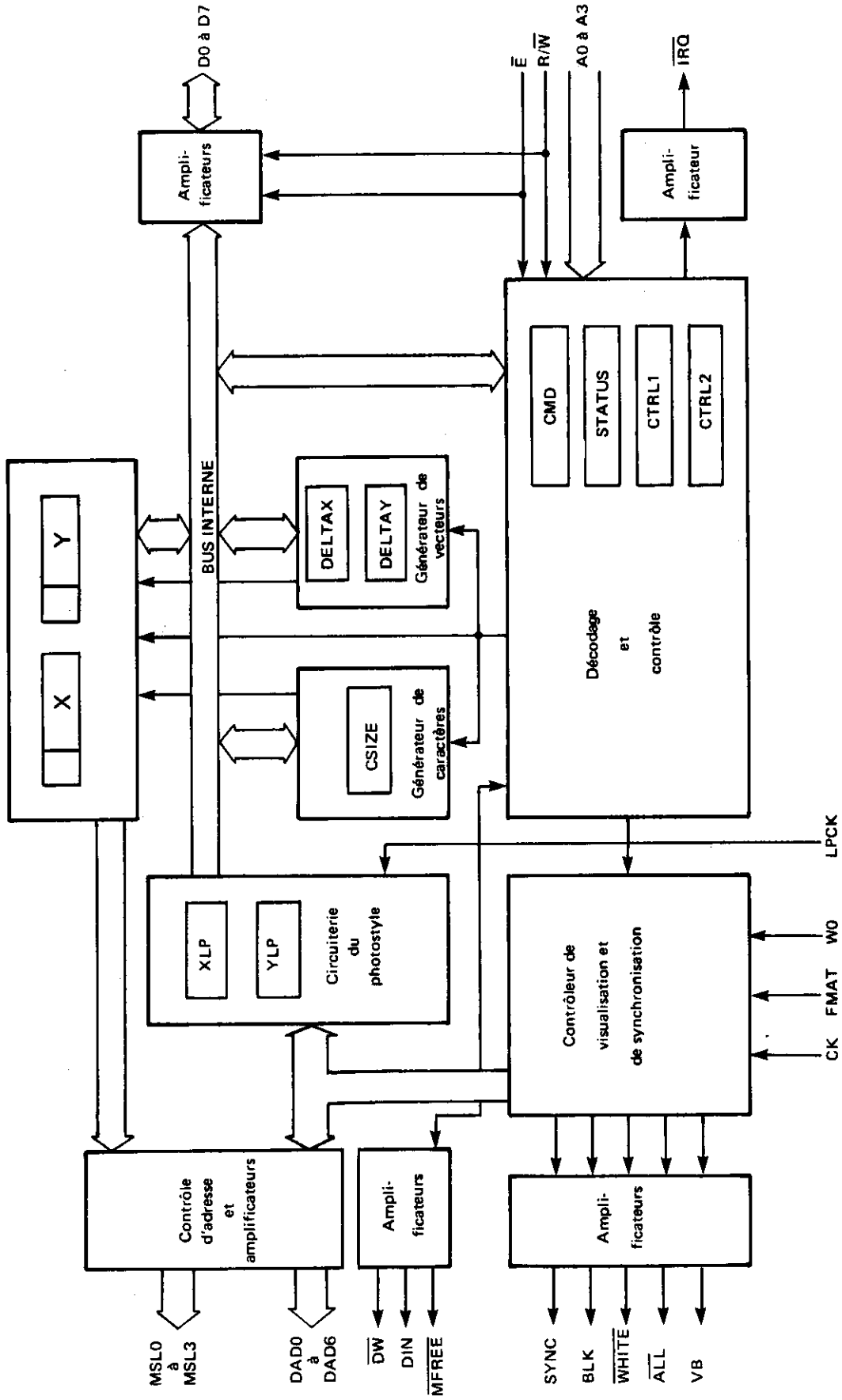
CK	1	40	VCC
DAD5	2	39	DAD1
DAD4	3	38	DAD2
DAD3	4	37	DAD0
DAD6	5	36	MSL1
MSL0	6	35	MSL3
MSL2	7	34	SYNC
FMAT	8	33	D0
A0	9	32	D1
A1	10	31	D2
A2	11	30	D3
A3	12	29	D4
IRQ	13	28	D5
DW	14	27	D6
DIN	15	26	D7
VB	16	25	BLK
E	17	24	WHITE
R/W	18	23	WO
MFREE	19	22	ALL
VSS	20	21	LPCK

SP01-F

1/27

Tel.:(3) 946 97 19
Telex : 698866F

DIAGRAMME FONCTIONNEL



DESCRIPTION GENERALE

Le GDP, réalisé en technologie NMOS, est un contrôleur intelligent d'écran graphique vidéo à balayage de trames entièrement programmable par un microprocesseur 8 bits.

Outre l'ensemble des fonctions de comptage nécessaires à la génération du signal vidéo et des signaux de synchronisation et de blanking, il comprend 2 automates câblés d'écriture dans la mémoire d'image : un générateur de vecteurs et un générateur de caractères.

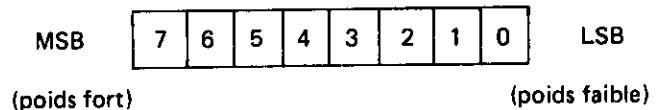
Cette caractéristique unique permet d'atteindre une grande vitesse d'écriture (diagonale de l'écran : 512 points en moins de 700 μ s) tout en soulageant le microprocesseur de ces traitements élémentaires.

Ce circuit est particulièrement orienté vers les applications où la mémoire d'image n'est pas directement adressée par le microprocesseur, laissant à celui-ci un espace d'adressage intact et permettant un asynchronisme total entre les cycles mémoire du microprocesseur et ceux du GDP.

Toutefois, pour les applications où un échange direct entre le bus du microprocesseur et la mémoire d'image est nécessaire, un système d'allocation temporelle est prévu qui permet de ne pas perturber la visualisation.

Ce circuit est programmable par l'intermédiaire de 11 registres internes occupant 16 adresses consécutives. Ces registres peuvent aussi être modifiés par les automates internes au circuit lors de l'exécution d'une commande.

Nota : Tous les registres et les codes des données sont résumés dans le tableau **Adresse et fonction des registres**. Leurs valeurs hexadécimales sont suivies de l'indice 16 et les bits des registres sont numérotés de la façon suivante :



VALEURS LIMITES

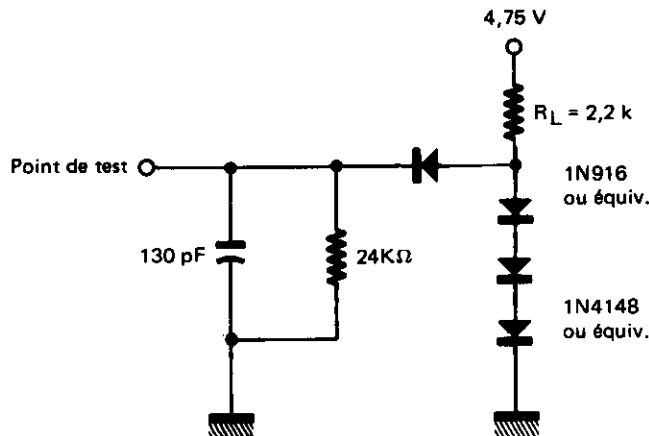
Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	-0,3 à +7,0	V
Tension d'entrée	V_{in}	-0,3 à +7,0	V
Température de fonctionnement	T_A	0 à +70	$^{\circ}$ C
Température de stockage	T_{stg}	-55 à +150	$^{\circ}$ C

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

CARACTERISTIQUES ELECTRIQUES STATIQUES ($V_{CC} = 5V \pm 5\%$, $V_{SS} = 0$, $T_A = 0$ à 70° C sauf spécifications contraires)

Caractéristiques	Symboles	Min.	Typ.	Max.	Unités
Tension d'entrée à l'état haut	V_{IH}	$V_{SS} + 2,2$	-	V_{CC}	V
Tension d'entrée à l'état bas	V_{IL}	$V_{SS} - 0,3$	-	$V_{SS} + 0,8$	V
Courant de fuite en entrée ($V_{in} = 0$ à $5,25$ V, $V_{CC} = \max$)	I_{in}	-	1,0	2,5	μ A
Tension de sortie à l'état haut ($I_{charge} = -100$ μ A, $V_{CC} = \min$)	V_{OH}	$V_{SS} + 2,4$	-	-	V
Tension de sortie à l'état bas ($I_{charge} = 1,6$ mA, $V_{CC} = \min$)	V_{OL}	-	-	$V_{SS} + 0,4$	V
Courant d'alimentation	I_{CC}	-	80	-	mA
Capacité ($V_{in} = 0$, $T_A = 25^{\circ}$ C, $f = 1,0$ MHz)	C_{in}	-	-	12	pF
	C_{out}	-	-	12	pF

CHARGE DE TEST

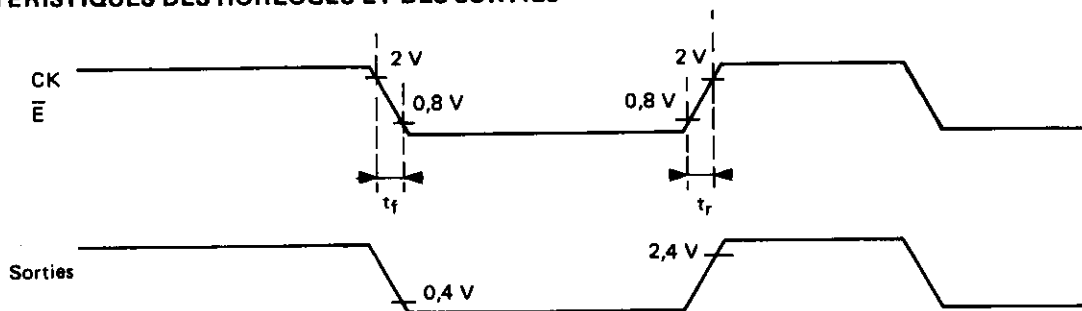


CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT DYNAMIQUES

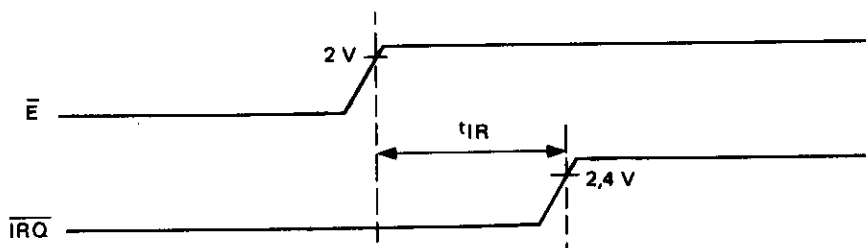
($V_{DD} = 5,0 \text{ V} \pm 5\%$, $V_{SS} = 0 \text{ V}$; $T_A = 0 \text{ à } +70^\circ \text{ C}$ sauf spécifications contraires)

Temps (ns)	Symbole	Min.	Max.
Période d'horloge	t_{CK}	560	
Largeur CK bas	t_{CKL}	330	
Largeur CK haut	t_{CKH}	190	
CK bas à DAD valide	CKLDAD		320
CK haut à DAD valide	CKHDAD		180
CK bas à SYNC valide	CKLSYNC		300
CK bas à BLK valide	CKLCLK		310
CK bas à VB valide	CKLVB		500
CK bas à ALL valide	CKLALL		300
CK bas à MSL valide	CKLMSL		300
CK bas à $\overline{D\overline{W}}$ valide	CKLDW		310
CK bas à $\overline{M\overline{F\overline{R\overline{E}}}}$ valide	CKLMFR		310
CK bas à DIN valide	CKLDIN		310
CK bas à $\overline{I\overline{R\overline{Q}}}$ valide	CKLIRQ		1500
CK bas à $\overline{W\overline{H\overline{I\overline{T\overline{E}}}}$ valide	CKLWHI		310
Largeur \overline{E} , bas	t_{EL}	450	
Précharge \overline{E} haut	t_{EH}	430	
Temps de préétablissement des adresses	t_{AS}	160	
Temps de maintien des adresses	t_{AH}	10	
Temps de préétablissement des données (écriture)	t_{DSW}	195	
Temps de maintien des données (écriture)	t_{DHW}	10	
Temps d'établissement des données (lecture)	t_{DDR}		320
Temps de maintien des données (lecture)	t_{DHR}	10	
Temps de relâche de $\overline{I\overline{R\overline{Q}}}$	t_{IR}		1600
LPCCK haut à $\overline{W\overline{H\overline{I\overline{T\overline{E}}}}$ haut (si commande $0\overline{B}_{16}$)	LPHW		1600
LPCCK haut à $\overline{I\overline{R\overline{Q}}}$ bas	LPHIRQ		1600
Temps de maintien de LPCCK haut	t_{LPCKH}	150	
Temps de montée de CK et \overline{E}	t_r		20
Temps de descente de CK et \overline{E}	t_f		20

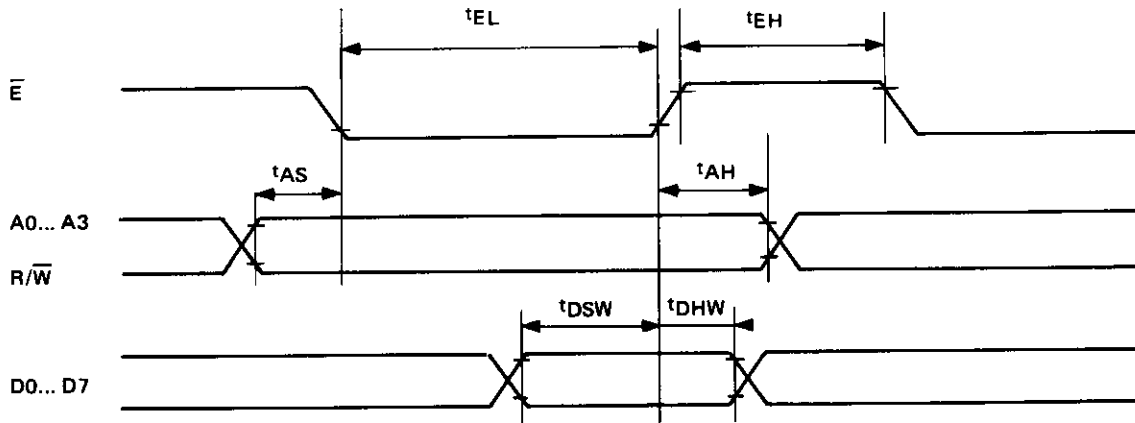
CARACTERISTIQUES DES HORLOGES ET DES SORTIES



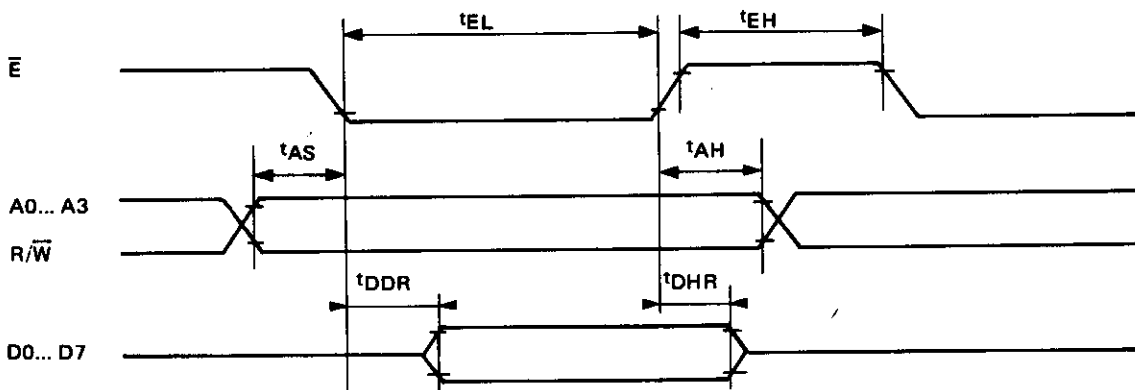
TEMPS DE RELACHE D' $\overline{I\overline{R\overline{Q}}}$



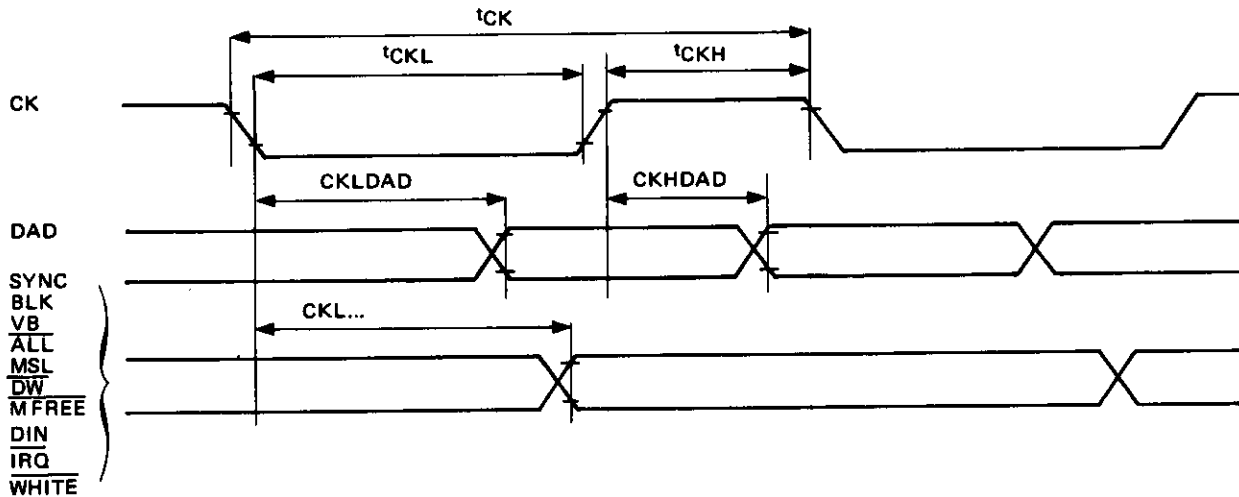
BUS MICROPROCESSEUR, ACCES EN ECRITURE



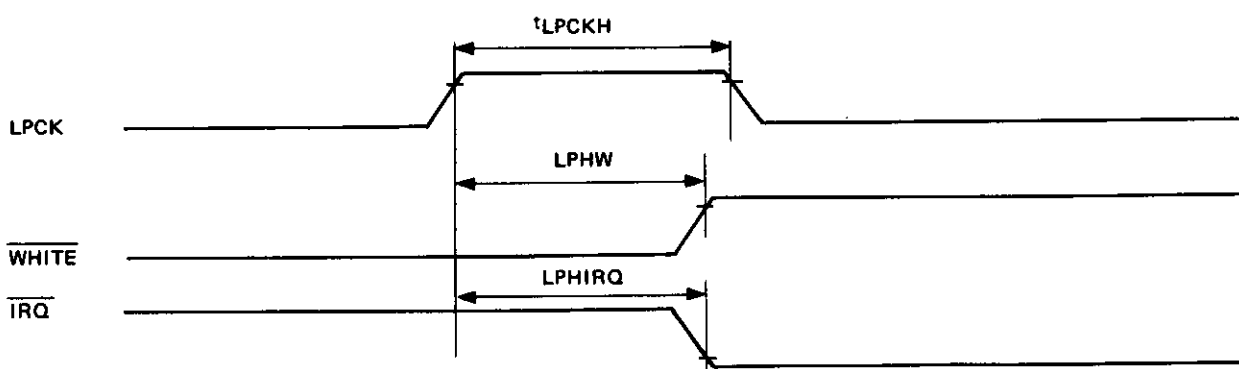
BUS MICROPROCESSEUR, ACCES EN LECTURE



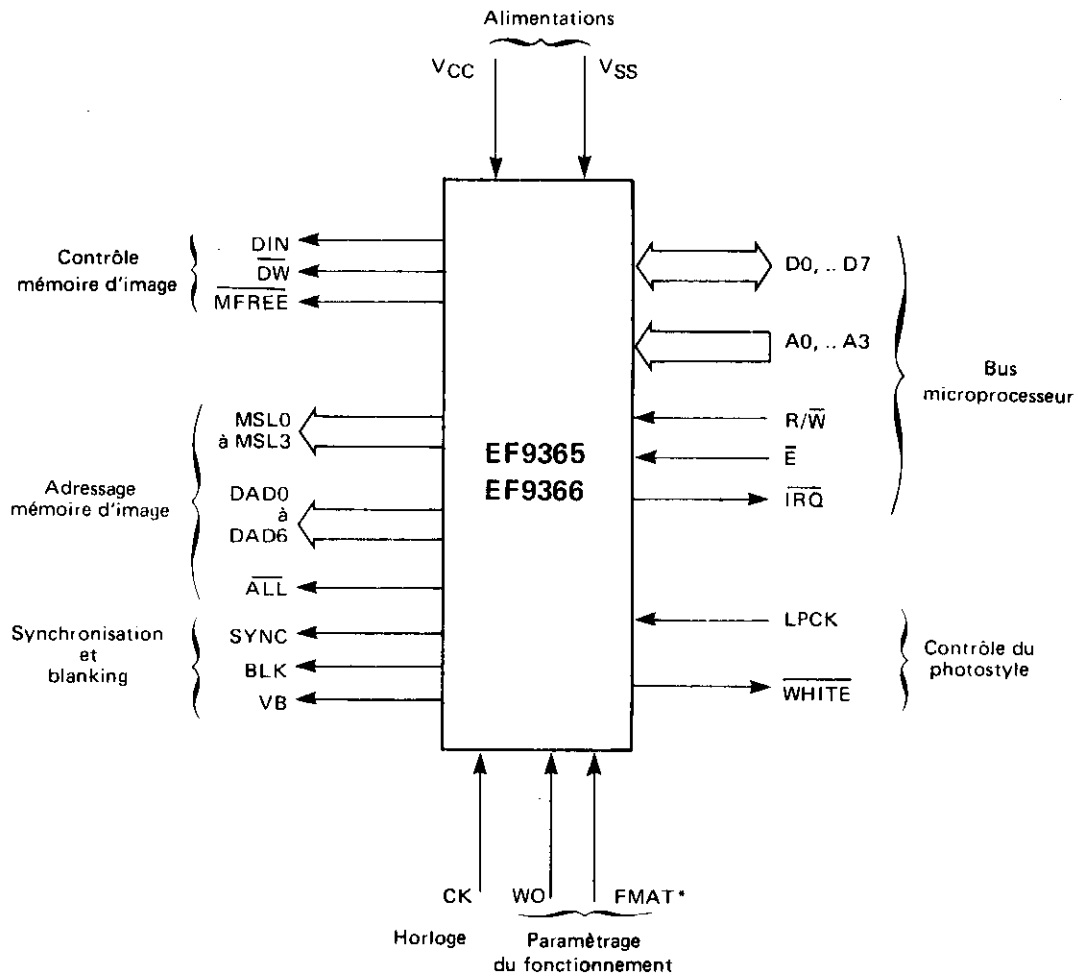
SIGNAUX SYNCHRONES AVEC L'ENTREE CK



SIGNAUX DU PHOTOSTYLE



DESCRIPTION DES BROCHES



*FMAT est à connecter à VSS pour le EF9366.

ALIMENTATION, HORLOGE ET PARAMETRAGE DU FONCTIONNEMENT

NOM	TYPE BROCHE	N°	FONCTION	DESCRIPTION
VSS	A	20	Alimentation	Masse
VCC	A	40	Alimentation	+ 5 V
CK	E	1	Horloge	Horloge générale. Tous les automates internes sont modifiés sur le front descendant de ce signal. Toute la logique du circuit est statique et la période de cette horloge n'est à ajuster qu'en fonction de la forme et de la précision requises sur les signaux de synchronisation. Signal de multiplexage des adresses mémoires DAD. Si CK est bas, ce sont les adresses basses (ou adresses de rangées pour la mémoire) qui sortent sur DAD. Pour que SYNC soit aux normes CCIR (FMAT haut), la fréquence d'entrée sur CK doit être 1,750 MHz. Si FMAT est bas, ou pour le EF9366, la fréquence trame n'est 50 Hz que si la fréquence d'entrée sur CK est 1,7472 MHz.
FMAT	E	8	Format	EF9365 : doit être connecté à VCC pour une résolution verticale de 512 lignes (balayage entrelacé) et à VSS pour 256 lignes ou moins (balayage non entrelacé). Cette entrée change la forme des signaux de synchronisation, la répartition des adresses sur DAD et la fonction des sorties MSL. EF9366 : non utilisé (doit être connecté à VSS).
WO	E	23	Forçage à l'écriture (Write Only)	Quand WO est haut, il n'y a plus ni visualisation, ni rafraîchissement des mémoires. Les automates d'écriture peuvent fonctionner sans être interrompus. Le signal ALL est toujours haut.

SIGNAUX DE SYNCHRONISATION ET DE "BLANKING"

SYNC	S	34	Synchronisation du moniteur vidéo	Signal de synchronisation lignes et trames du moniteur vidéo. Si CK est à la fréquence 1,750 MHz et si FMAT est haut, le signal SYNC est aux normes CCIR 625 lignes 50 Hz. Si FMAT est bas, ou pour le EF9366, les trames ne sont plus entrelacées et comprennent toutes 312 lignes. Cette sortie est indépendante de l'entrée WO et du registre CTRL1.
BLK	S	25	Suppression vidéo (Blanking)	Ce signal est haut en dehors de la fenêtre de visualisation (écriture ou rafraîchissement). Il est toujours haut si le bit 2 du registre CTRL1 est à l'état haut, mais est indépendant de l'entrée WO.
VB	S	16	Retour trame (Vertical blanking)	Signal indépendant de WO et du registre CTRL1. Haut pendant le retour trame.

SIGNAUX D'ADRESSAGE DE LA MEMOIRE D'IMAGE

DAD0 à DAD6	S	37,39,38,4,3,2,5	Adresse de visualisation (Display Address)	Adresses multiplexées par le signal CK. Prévues pour le rafraîchissement automatique des mémoires dynamiques 16 K ou 4 K.
MSL0 à MSL3	S	6,36,7,35	Sélection des boîtiers mémoire (Memory select)	Signaux de sélection du pixel en écriture (voir paragraphe : Organisation de la mémoire d'image).
ALL	S	22	Accès à tous les boîtiers mémoires	Ce signal permet de différencier les accès mémoire collectifs à tous les boîtiers (visualisation, rafraîchissement ou effacement) des accès mémoire à un seul pixel pour l'écriture de vecteurs ou de caractères. Ce signal est à l'état bas pour un accès collectif.

SIGNAUX DE CONTROLE DE LA MEMOIRE D'IMAGE

NOM	TYPE BROCHE	N°	FONCTION	DESCRIPTION
DIN	S	15	Donnée mémoire d'image (Display in)	Sélection du code de la donnée mémoire correspondant à l'état éteint sur l'écran (actif haut). Pour une application noir et blanc (1 bit par pixel), DIN peut être directement la donnée d'entrée des mémoires.
\overline{DW}	S	14	Ecriture mémoire d'image (Display write)	Signal d'écriture dans la mémoire d'image. Actif à l'état bas.
$\overline{MFR\overline{E}}$	S	19	Mémoire disponible (Memory free)	Signal à l'état bas lors de la première période de non utilisation des mémoires qui suit l'envoi de la commande $0F_{16}$. Ce signal permet un échange quelconque avec la case mémoire pointée par X et Y sans perturber la visualisation.

SIGNAUX DU BUS MICROPROCESSEUR

D0-D7	E/S	33 à 26	Bus donnée (Data bus)	L'ouverture des buffers d'entrée/sortie est commandée par \overline{E} , le sens par R/ \overline{W} .
A0-A3	E	9 à 12	Bus adresse (Address bus)	Adresse du registre concerné par l'accès microprocesseur.
R/ \overline{W}	E	18	Lecture/écriture (Read/write)	Signal de lecture/écriture. L'écriture correspond à l'état bas.
\overline{E}	E	17	Validation (Enable)	Signal de synchronisation et de validation d'échange sur le bus.
\overline{IRQ}	S	13	Demande d'inter. (Interrupt request)	Requête d'interruption vers le microprocesseur, programmable par le registre CTRL2. Sortie à collecteur ouvert.

SIGNAUX D'UTILISATION DU PHOTOSTYLE

\overline{WHITE}	S	24	Forçage au niveau blanc	Prévu pour forcer le niveau blanc sur le signal vidéo, pour permettre l'utilisation du photostyle. Actif à l'état bas.
LPCK	E	21	Echantillonnage photostyle	Entrée du photostyle. Un front montant, lorsque le mécanisme est armé, charge dans les registres XLP et YLP l'adresse courante de visualisation et met à l'état haut le bit de poids faible du registre XLP.

DESCRIPTION DES REGISTRES

REGISTRES X ET Y (Adresses 8_{16} , 9_{16} et A_{16} , B_{16})

Les registres X et Y sont des registres de 12 bits à lecture-écriture. Ils indiquent les coordonnées du prochain point à écrire dans la mémoire d'image. Ils n'ont aucun rapport avec le balayage de génération du signal vidéo, mais ils pointent l'adresse d'écriture, comme l'adresse de la plume sur une table traçante.

Ces 2 registres sont incrémentés ou décrémentés avant chaque écriture en mémoire d'image par les générateurs internes de vecteurs et de caractères, ou bien peuvent être positionnés par une écriture directe du microprocesseur.

Cette adresse d'écriture sur 2×12 bits couvre un espace d'adressage de 4096×4096 points. Seuls les bits de poids faible sont utilisés puisque la définition maximum de l'image réellement mémorisée est au plus de 512×512 pixels (picture element).

Les bits de poids fort soit sont ignorés, soit servent à inhiber l'écriture lorsque l'écran réel est considéré comme une fenêtre dans un espace de 4096×4096 .

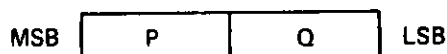
Cela, associé à la description en mode relatif de tous les éléments composant l'image permet de résoudre automatiquement la plupart des problèmes de coupure aux frontières de la fenêtre.

REGISTRES DELTAX ET DELTAY (Adresses 5_{16} , 7_{16})

Les registres DELTAX et DELTAY sont des registres de 8 bits à lecture-écriture. Ils indiquent au générateur de vecteur les projections en X et en Y du prochain vecteur à tracer. Ce sont des valeurs entières non signées. Le tracé d'un vecteur est lancé par une écriture dans le registre de commande (CMD).

REGISTRE CSIZE (Adresse 3_{16})

Le registre CSIZE est un registre de 8 bits à lecture-écriture. Il indique les facteurs d'échelle en X et en Y des symboles et caractères. 98 caractères sont construits à partir d'une matrice de 5×8 pixels définie par une ROM interne. Dans la version standard, elle comprend les caractères alphanumériques imprimables du code ASCII ainsi que quelques symboles spéciaux.



Chacun des symboles peut être grossi d'un facteur P en X et d'un facteur Q en Y indépendants, chacun variant de 1 à 16. P et Q sont définis par le registre CSIZE. Le tracé d'un caractère est lancé par l'écriture dans le registre de commande (CMD) de son code ASCII.

REGISTRE CTRL1 (Adresse 1_{16})

Le registre CTRL1 est un registre de 7 bits à lecture/écriture et permet de paramétrer le fonctionnement général du circuit.

- Bit 0 : Ce bit à l'état bas inhibe l'écriture en mémoire d'image (équivalent à plume ou gomme levée).
Ce bit à l'état haut autorise l'écriture en mémoire d'image (équivalent à plume ou gomme baissée).
Ce bit contrôle la sortie DW.
- Bit 1 : Ce bit à l'état bas sélectionne la gomme.
Ce bit à l'état haut sélectionne la plume.
Ce bit contrôle la sortie DIN.
- Bit 2 : Ce bit à l'état bas sélectionne le mode normal d'écriture (écriture en dehors des périodes de visualisation et de rafraîchissement nécessaires aux mémoires dynamiques) de la mémoire d'image.
Ce bit à l'état haut sélectionne le mode d'écriture rapide : les périodes de visualisation sont supprimées, seules subsistent les périodes de rafraîchissement des mémoires dynamiques.
- Bit 3 : Ce bit à l'état bas indique que l'on travaille dans l'espace 4096×4096 . (Les 12 bits de X et Y sont significatifs).
Ce bit à l'état haut sélectionne le mode de fonctionnement écran cyclique.
- Bit 4 : Ce bit à l'état bas inhibe l'interruption déclenchée par la fin de séquence photostyle (light-pen).
Ce bit à l'état haut autorise cette interruption.
- Bit 5 : Ce bit à l'état bas inhibe l'interruption déclenchée par le retour trame.
Ce bit à l'état haut autorise cette interruption.
- Bit 6 : Ce bit à l'état bas inhibe l'interruption indiquant que le circuit est prêt à recevoir une nouvelle commande.
Ce bit à l'état haut autorise cette interruption.
- Bit 7 : Non utilisé - Toujours à l'état bas en lecture.

REGISTRE CTRL2 (Adresse 2_{16})

Le registre CTRL2 est un registre de 4 bits à lecture/écriture permettant de paramétrer le tracé de vecteurs et de caractères.

- Bits 0, 1 : Ces 2 bits définissent 4 types de trait (continu, pointillé, tireté, mixte).
- Bit 2 : Ce bit à l'état bas définit l'écriture d'un caractère droit.
Ce bit à l'état haut définit l'écriture italique.
- Bit 3 : Ce bit à l'état bas définit l'écriture d'un caractère sur une ligne horizontale.
Ce bit à l'état haut définit l'écriture d'un caractère sur une ligne verticale.
- Bits 4,5,6,7 : Non utilisés. Toujours à l'état bas en lecture.

REGISTRE DE COMMANDE CMD (Adresse O_{16})

Le registre CMD est un registre de 8 bits à écriture seule. L'écriture dans ce registre déclenche l'exécution d'une commande après un temps nécessaire à la synchronisation entre l'accès microprocesseur et l'horloge CK du GDP.

Ces commandes sont de plusieurs types :

- tracé d'un vecteur
- tracé d'un caractère
- effacement de l'écran
- armement de la circuiterie du photostyle
- accès à la mémoire d'image par une circuiterie extérieure
- modification indirecte des autres registres (commandes permettant de modifier ou réinitialiser les registres X, Y, DELTAX, DELTAY, CTRL1, CTRL2, CSIZE).

REGISTRE STATUS (Adresse O_{16})

Le registre STATUS est un registre de 8 bits, à lecture seule. Il permet de surveiller l'état des actions commandées au circuit, entre autre pour éviter de modifier un registre utilisé par ailleurs pour la commande en cours d'exécution.

- Bit 0 : Ce bit à l'état bas indique qu'une séquence de photostyle est en cours.
Ce bit à l'état haut indique qu'aucune séquence de photostyle n'est en cours.
- Bit 1 : Ce bit est à l'état haut pendant les retours trame. Il est la recopie du signal VB.
- Bit 2 : Ce bit à l'état bas indique que l'exécution d'une commande est en cours.
Ce bit à l'état haut indique que le circuit est disponible pour toute nouvelle commande.
- Bit 3 : Ce bit à l'état bas indique que les registres X et Y pointent à l'intérieur de la fenêtre de visualisation.
Ce bit à l'état haut indique qu'ils pointent en dehors de la fenêtre visualisée.
Ce bit est le OU logique des bits de poids fort non utilisés des registres X et Y.
- Bit 4 : Ce bit à l'état haut indique qu'une interruption a été déclenchée par la fin d'une séquence photostyle. Le bit 4 du registre CTRL1 autorise cette interruption.
- Bit 5 : Ce bit à l'état haut indique qu'une interruption a été déclenchée par le retour de trame. Le bit 5 du registre CTRL1 autorise cette interruption.

Bit 6 : Ce bit à l'état haut indique qu'une interruption a été déclenchée par la fin d'une exécution de commande. Le bit 6 du registre CTRL1 autorise cette interruption.

Bit 7 : Ce bit à l'état haut indique qu'une interruption a été déclenchée. Il est le OU logique des bits 4,5,6 du registre STATUS. L'état de la sortie IRQ est toujours l'inverse de l'état de ce bit.

Nota : Les bits 4,5,6,7 sont remis à l'état bas par une lecture du registre STATUS.

REGISTRES XLP et YLP (Adresses C_{16} et D_{16})

Les registres XLP et YLP sont des registres à lecture seule de 7 et 8 bits respectivement. On y retrouve, après une action de photostyle, l'adresse de visualisation échantillonnée par le premier front montant sur l'entrée LPCK. L'utilisation de ces registres est décrite dans le paragraphe : **Utilisation de la circuiterie du photostyle.**

NOTES :

1. Tous les registres internes peuvent être lus ou écrits par le microprocesseur à tout moment. Cependant, les précautions suivantes doivent être observées :
 - Ne pas écrire dans le registre CMD si l'exécution de la commande précédente n'est pas terminée (bit 2 du registre STATUS).
 - Ne pas modifier un registre s'il est utilisé comme paramètre d'entrée pour les automates internes (exemple : modification du registre DELTAX pendant le tracé d'un vecteur).
 - Ne pas lire un registre s'il est modifié parallèlement de façon asynchrone par les automates internes (exemple : la lecture du registre X pendant le tracé d'un vecteur peut être faussée si CK et \bar{E} sont asynchrones).
2. A la mise sous tension, les automates d'écriture peuvent se trouver dans un état quelconque. Il est donc nécessaire avant d'envoyer la première commande, d'attendre l'arrêt des fonctions en cours, ceci en surveillant le registre STATUS.

PRINCIPE DE FONCTIONNEMENT DU CIRCUIT

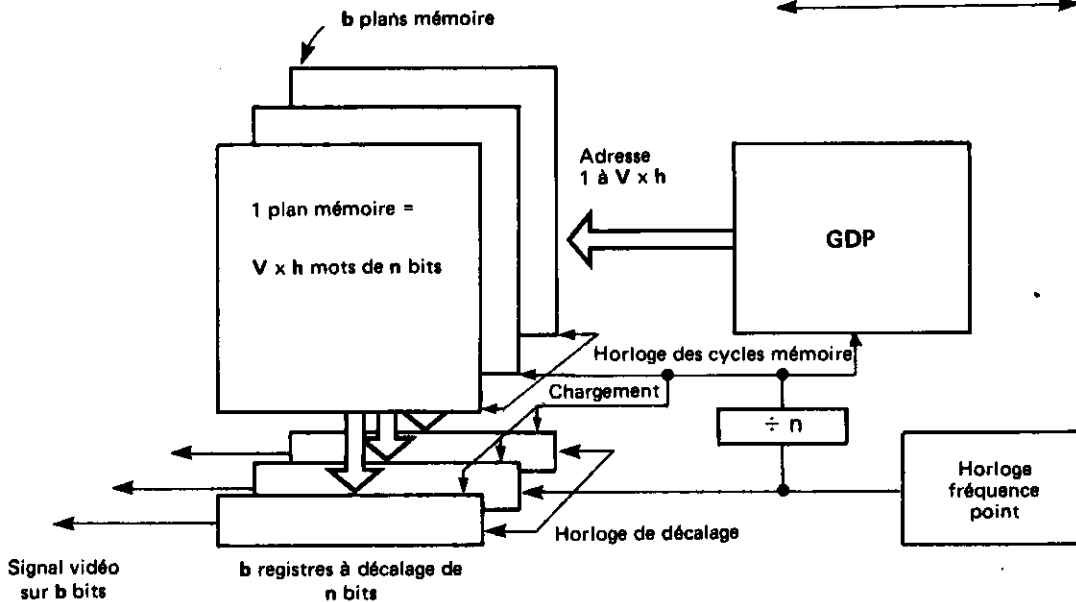
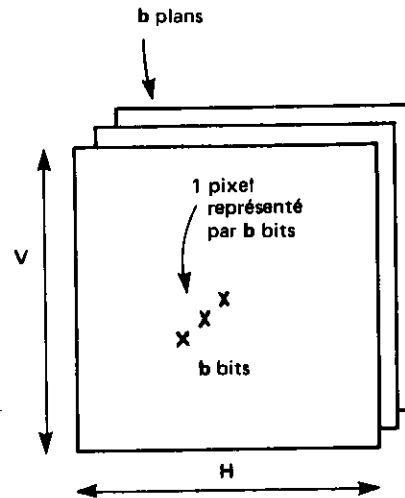
ORGANISATION DE LA MEMOIRE D'IMAGE

Considérons une image de $V \times H$ pixels. Supposons que chaque pixel puisse prendre 2^b états différents. Il faut une mémoire d'image de $V \times H \times b$ bits.

Dans les applications où H est grand, la fréquence du signal vidéo est supérieure à la fréquence maximale d'accès en lecture des mémoires.

Exemple : $H = 512$ avec une fréquence de balayage télévision : la période de succession des pixels sur le signal vidéo est de 70 ns.

Il est indispensable de découper une ligne de H points en h tronçons de n bits adjacents, lus simultanément dans la mémoire d'image puis sérialisés pour constituer le signal vidéo. Il faut h accès mémoire par ligne. Chaque accès charge b registres à décalage de n bits. La mémoire contient $V \times h \times b$ mots de n bits.



EF9365

Le circuit EF9365 est étudié pour les formats d'image suivants :

1. $V = H = 512$ ou une puissance de 2 inférieure,
2. $h = 64$
3. $n = 8, 4, 2$ ou 1
4. b quelconque (l'adressage est le même pour tous les plans mémoire. La gestion de ces plans est extérieure au circuit).

L'utilisation du circuit dans les différents formats se fait de la façon suivante :

Format 512 x 512 pixels : ($V = 512, h = 64, n = 8$)

L'entrée FMAT doit être à l'état haut. La mémoire est constituée de $V \times h$ octets = 32 K octets par plan mémoire.

L'adresse d'octet est constituée de 15 bits :

- 14 sortent en 2 passages sur les sorties DAD pour utiliser des mémoires 16 K x 1 bit dynamiques,
- le 15ème sort sur la broche MSL3.

Les 3 sorties MSLO, 1 et 2 permettent de sélectionner un pixel parmi les 8 de même adresse pour les écritures pixel à pixel. Elles sortent le numéro du pixel concerné, codé sur 3 bits.

Format 256 x 256 pixels ($V = 256, h = 64$ et $n = 4$)

L'entrée FMAT doit être à l'état bas. La mémoire est constituée de $V \times h \times n$ bits, soit 16 K mots de 4 bits. L'adresse d'un mot de 4 bits est constituée de 14 bits : ceux-ci sortent en 2 passages sur les broches DAD.

Les 4 broches MSL permettent de sélectionner chacune un pixel dans un mot de 4 bits pour l'écriture. Les 2 bits de poids faible de l'adresse d'écriture horizontale sont décodés avant de sortir sur les broches MSL. Ces sorties sont actives au niveau bas.

Format inférieur à 256 x 256 pixels ($V = 128$ ou 64, $h = 64, n = 2$ ou 1).

Ces formats s'obtiennent d'une façon analogue au format 256 x 256. Les bits d'adresse inutiles sortent sur DAD7.

EF9366

Le circuit EF9366 est étudié pour le format d'image 512 x 256 pixels : V = 256, H = 512, h = 64, n = 8, b quelconque.

La mémoire est constituée de 16 K octets par plan mémoire. L'adresse d'octet comporte 14 bits qui sortent en deux passages sur les broches DAD. Les 3 sorties MSL0, MSL1, MSL2 permettent de sélectionner un pixel parmi 8 de même adresse. Elles sortent le numéro du pixel concerné codé sur 3 bits. MSL3 est à l'état haut et n'est pas utilisée.

DETAIL DES SIGNAUX SORTANT PAR LES BROCHES DAD ET MSL.

Les compteurs internes adressant la mémoire d'image en visualisation sont constitués de :

- 6 bits d'adresse horizontale (h = 64)
h₀, h₁, h₂, h₃, h₄, h₅
- 9 bits d'adresse verticale (V ≤ 512)
t, V₀, V₁, V₂, V₃, V₄, V₅, V₆, V₇

t est le bit de poids le plus faible. Il représente la parité des lignes, et change toutes les trames puisque le balayage est entrelacé. Dans une même trame, V₀ est le bit de poids faible.

L'adresse d'écriture est constituée des 9 bits de poids faible des registres internes X et Y.

$$X_0, X_1, X_2, X_3, X_4, X_5, X_6, X_7, X_8$$

$$Y_0, Y_1, Y_2, Y_3, Y_4, Y_5, Y_6, Y_7, Y_8$$

La correspondance entre adresse de visualisation et adresse d'écriture est la suivante :

EF9365

FMAT - 1

h ₀	h ₁	h ₂	h ₃	h ₄	h ₅	t	V ₀	V ₁	V ₂	V ₃	V ₄	V ₅	V ₆	V ₇
X ₃	X ₄	X ₅	X ₆	X ₇	X ₈	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	Y ₈

FMAT - 0

h ₀	h ₁	h ₂	h ₃	h ₄	h ₅	V ₀	V ₁	V ₂	V ₃	V ₄	V ₅	V ₆	V ₇
X ₂	X ₃	X ₄	X ₅	X ₆	X ₇	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇

EF9366

h ₀	h ₁	h ₂	h ₃	h ₄	h ₅	V ₀	V ₁	V ₂	V ₃	V ₄	V ₅	V ₆	V ₇
X ₃	X ₄	X ₅	X ₆	X ₇	X ₈	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇

ETATS DES SORTIES DAD ET MSL

EF9365 FMAT = 1

ALL	CK	MSL				DAD							
		0	1	2	3	0	1	2	3	4	5	6	
0	0	X ₀	X ₁	X ₂	V ₁	h ₅	h ₄	h ₃	h ₂	h ₁	h ₀	V ₀	
0	1					V ₇	V ₆	V ₅	V ₄	V ₃	V ₂	t	
1	0	X ₀	X ₁	X ₂	Y ₂	X ₈	X ₇	X ₆	X ₅	X ₄	X ₃	Y ₁	
1	1					Y ₈	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₀	

EF9365 FMAT = 0

ALL	CK	MSL				DAD							
		0	1	2	3	0	1	2	3	4	5	6	
0	0	0	0	0	0	h ₅	h ₄	h ₃	h ₂	h ₁	h ₀	V ₀	
0	1					V ₇	V ₆	V ₅	V ₄	V ₃	V ₂	V ₁	
1	0	X ₀ et X ₁ décodés (actif bas)				X ₇	X ₆	X ₅	X ₄	X ₃	X ₂	Y ₀	
1	1					Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	

EF9366

ALL	CK	MSL				DAD							
		0	1	2	3	0	1	2	3	4	5	6	
0	0					1	h ₅	h ₄	h ₃	h ₂	h ₁	h ₀	V ₀
0	1	X ₀	X ₁	X ₂		1	V ₇	V ₆	V ₅	V ₄	V ₃	V ₂	V ₁
1	0					1	X ₈	X ₇	X ₆	X ₅	X ₄	X ₃	Y ₀
1	1					1	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁

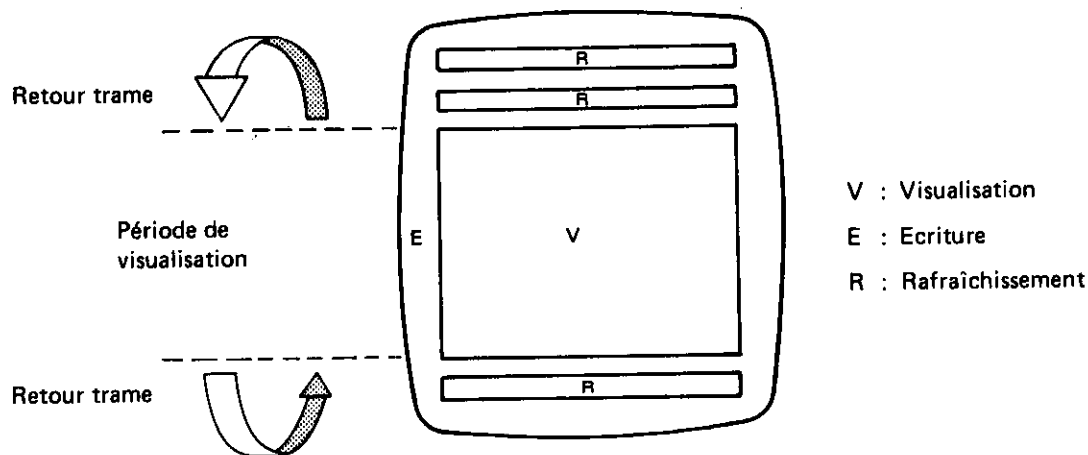
Si FMAT est à l'état haut, les 128 accès de rafraîchissement sont effectués toutes les 2 lignes, pour la moitié de la mémoire seulement, les 32 K octets étant répartis en 2 blocs de 16 K octets.

La sortie de V₁ sur MSL3 permet de commuter d'un bloc sur l'autre toutes les 2 lignes. La mémoire est entièrement rafraîchie toutes les 4 lignes de visualisation. Pendant le retour trame, le rafraîchissement est obtenu grâce à 4 lignes toutes les 16 lignes.

Si FMAT est à l'état bas, ou pour le EF9366 : les 128 accès de rafraîchissement sont effectués toutes les 2 lignes de visualisation.

SEQUENCEMENT DES OPERATIONS SUR LA MEMOIRE LE LONG D'UNE TRAME

En dehors de la fenêtre où la mémoire est utilisée exclusivement en visualisation, il peut y avoir écriture, sauf pendant 3 périodes de rafraîchissement.



Les 3 types de période V, E, R sont indiqués à l'extérieur du circuit par les signaux BLK et \overline{ALL} :

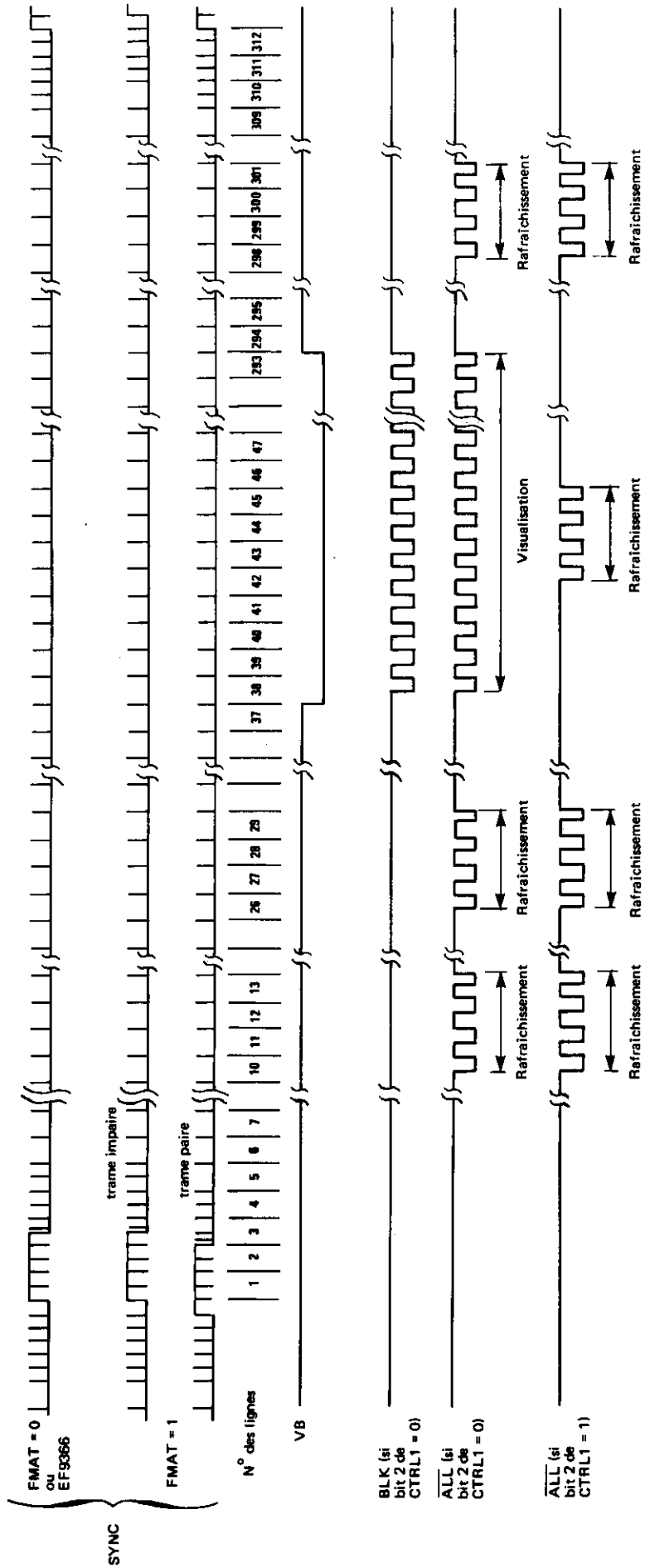
	BLK	\overline{ALL}
V	0	0
E	1	1
R	1	0

Exceptions :

- Si le bit 2 du registre CTRL1 est à l'état haut (écriture rapide), alors la période de visualisation est remplacée par une alternance de périodes d'écriture et de rafraîchissement comme pendant les retours trame.
- Tant que l'entrée WO est à l'état haut, le circuit est en mode écriture, BLK garde la même forme que dans le cas normal.

Dans ces deux cas, l'exécution des codes 04_{16} , 06_{16} , 07_{16} , $0C_{16}$ déclenche une séquence V entière pour permettre le balayage rapide de toutes les adresses. Ceci dure deux trames si FMAT est à l'état haut, une trame si FMAT est à l'état bas et dans le cas du EF9366.

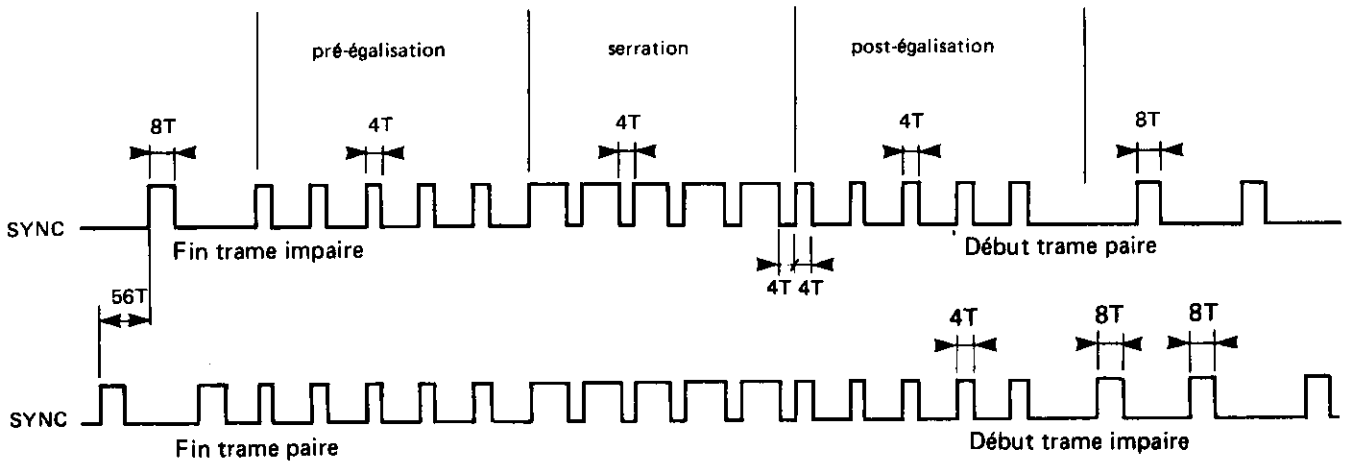
DEROULEMENT DES TRAMES



NB : Le signal ALL à l'état haut indique les périodes d'écriture.

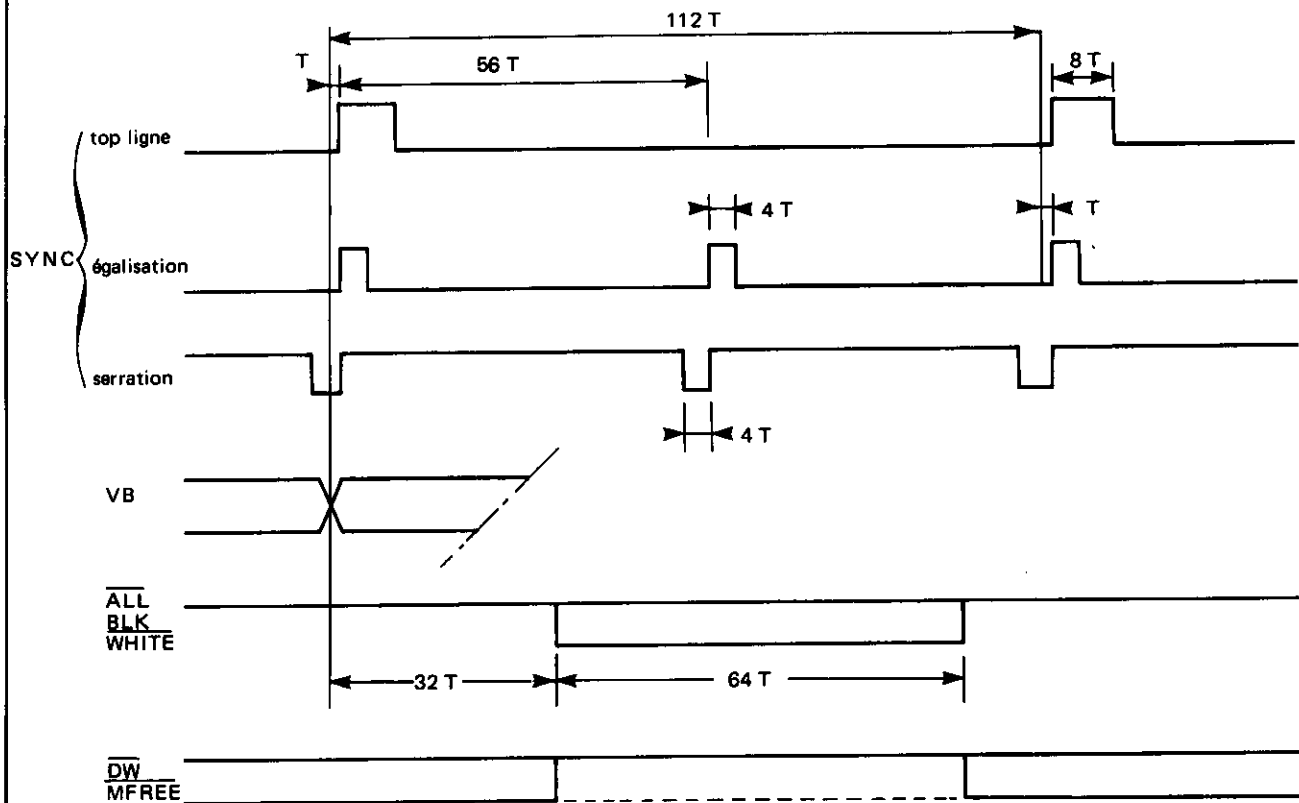
DETAILS DU SIGNAL SYNC AU VOISINAGE DU TOP TRAME

T : période de l'entrée CK (570 ns dans une application typique).



Nota : Si FMAT est à l'état bas, et pour le EF9366, le motif de la deuxième ligne se répète à chaque trame.

DETAIL DES LIGNES



FONCTIONNEMENT DES AUTOMATES D'ECRITURE DANS LA MEMOIRE D'IMAGE

Les automates d'écriture sont séquencés par l'horloge générale CK. Ils sont paramétrés par le bus microprocesseur. Ils contrôlent l'adresse d'écriture X, Y, ainsi que les sorties DIN, DW, MFREE, IRQ.

Le fonctionnement des automates d'écriture est continu. En cas de conflit d'accès à la mémoire d'image, les automates de visualisation et de rafraîchissement sont prioritaires.

Le décodage des commandes étant synchrone avec l'horloge CK, toute écriture dans le registre de commande (CMD) déclenche un mécanisme de synchronisation qui occupe le circuit pendant un maximum de 2 cycles de CK après la remontée de l'entrée E. Le circuit reste occupé pendant l'exécution de la commande. Il ne doit pas recevoir de nouvelles commandes tant que le bit 2 du registre STATUS est à l'état bas.

TRACE DE VECTEURS

Le générateur de vecteurs interne permet de modifier en mémoire d'image l'ensemble des points constituant l'approximation d'un segment de droite. Tous les vecteurs tracés sont décrits par le point d'origine et les projections sur les axes. Les coordonnées du point d'origine sont définies par la valeur des registres X, Y avant le tracé.

Les projections sur les axes sont définies en valeur absolue par les registres DELTAX et DELTAY et en signe dans l'octet de commande qui lance le tracé du vecteur.

L'approximation du vecteur réalisée est celle définie par J.F BRESENHAM*. L'exécution de cet algorithme est réalisée par un automate câblé permettant d'écrire un nouveau point du vecteur à chaque cycle de l'horloge CK.

Lors du tracé, la mémoire d'image est adressée par les registres X, Y qui sont incrémentés ou décrémentés. Après le tracé du vecteur, ils pointent l'extrémité de celui-ci.

Tous les vecteurs peuvent être tracés selon 4 types de traits différents : continu, pointillé, tireté, mixte, en fonction des 2 bits de poids faible du registre CTRL2.

Dans tous les cas, la vitesse de tracé est la même. L'information "plume baissée - plume levée" pour les traits non continus est contrôlée par la sortie DW.

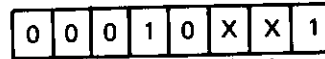
Pour un vecteur donné en trait non continu, défini par DELTAX, DELTAY, CTRL2, CMD, le séquencement de DW pendant le tracé est toujours le même quelque soit l'origine du vecteur et la nature des tracés précédents. Ceci garantit qu'un vecteur donné puisse être effacé en le retraçant après avoir repositionné X, Y à l'origine et complémenté le bit 1 de CTRL1.

Puisque la commande de lancement du tracé du vecteur indique les signes des projections sur les axes, tous les vecteurs peuvent être tracés avec 4 commandes différentes.

Pour augmenter la souplesse de programmation, il existe 16 commandes différentes auxquelles il faut ajouter un ensemble de 128 commandes permettant de tracer des petits vecteurs en ignorant les registres DELTAX et DELTAY.

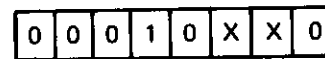
Ces commandes sont les suivantes :

- Commandes de base



Signe de DELTAX } 0 si positif
Signe de DELTAY } 1 si négatif

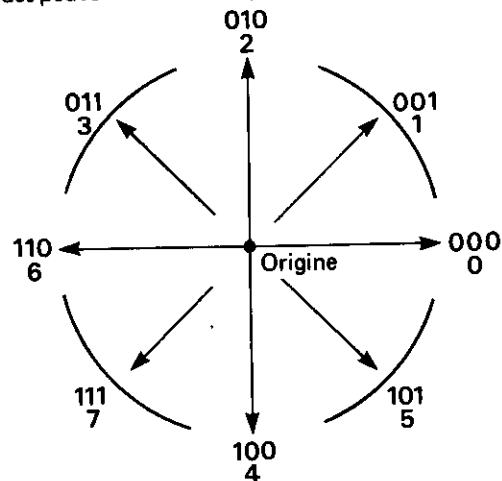
- Commandes permettant d'ignorer un des registres DELTAX ou DELTAY en le considérant comme nul.



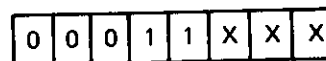
0 0 DELTAY ignoré, DELTAX > 0
0 1 DELTAX ignoré, DELTAY > 0
1 0 DELTAX ignoré, DELTAY < 0
1 1 DELTAY ignoré, DELTAX < 0

Remarques : Les bits 1 et 2 ont toujours la même signification de signe.

Ces 8 codes peuvent se résumer par le diagramme suivant:

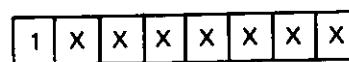


- Commandes permettant d'ignorer le plus petit des 2 registres DELTAX ou DELTAY en le considérant comme égal au plus grand, ce qui revient à tracer des vecteurs parallèles aux axes ou aux diagonales en ne travaillant que sur un seul registre DELTA.



Mêmes codes de direction que ci-dessus.

- Commandes permettant d'ignorer les 2 registres DELTAX et DELTAY en spécifiant les projections par le registre CMD (de 0 à 3 pas pour chaque projection).



ΔX ΔY
(valeurs entières non signées)

Même code de direction que précédemment

* "Algorithm for computer control of a Digital Plotter" IBM System J.4, 1965, p. 25 - 30.

EXEMPLE DE TRACE D'UN VECTEUR POINTILLE

Origine : $\begin{cases} X = 47_{10} \\ Y = 75_{10} \end{cases}$

CMD = 13_{16}

Ce qui correspond à
- Commande de base,
- DELTAX < 0
- DELTAY > 0

Projections: $\begin{cases} \text{DELTAX} = 17_{10} \\ \text{DELTAY} = 13_{10} \end{cases}$

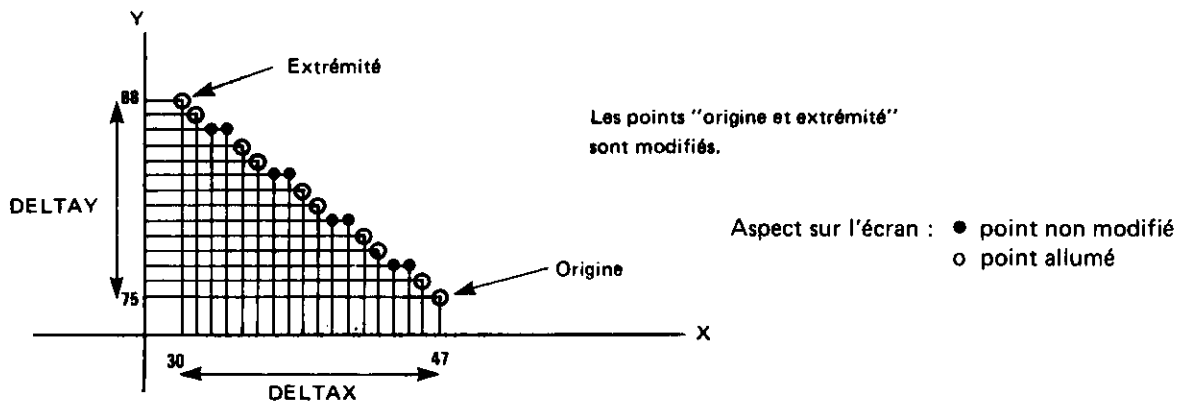
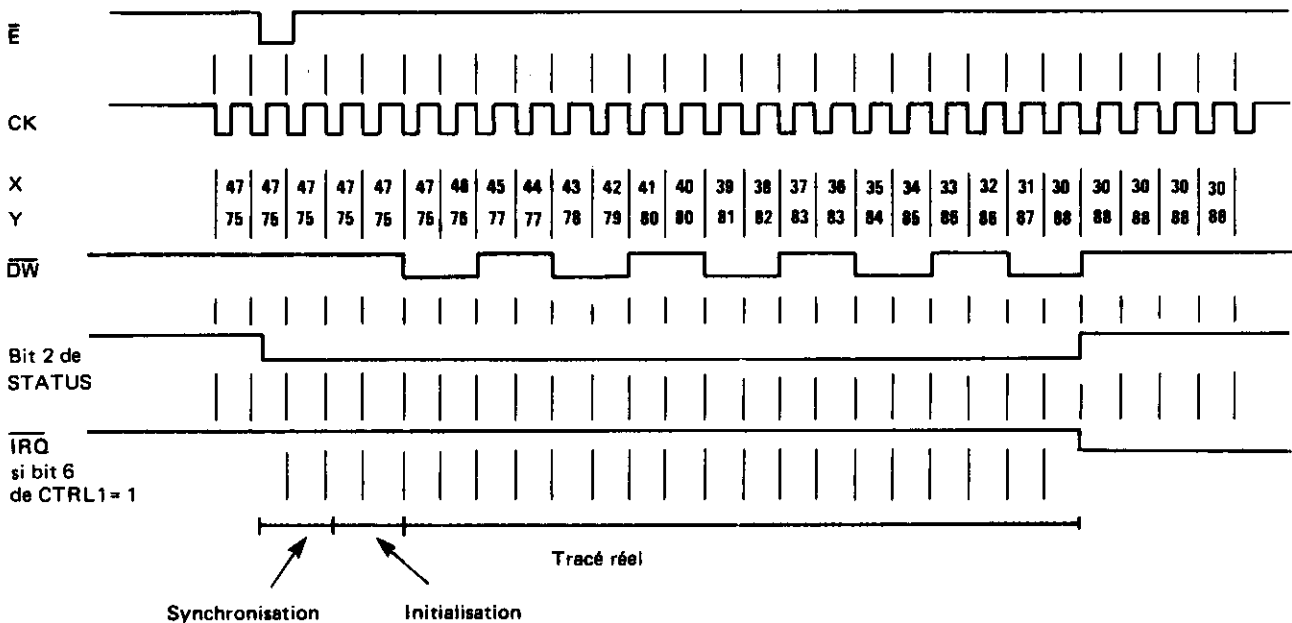
CTRL1 = 03_{16}

Plume baissée

CTRL2 = 1_{16}

Vecteur pointillé :
2 points allumés, 2
points éteints.

Déroulement des cycles de tracé : (On suppose que le générateur de vecteur n'est pas interrompu par la visualisation ou le rafraîchissement).



Remarque :

Le tracé d'un vecteur avec DELTAX = DELTAY = 0 écrit en mémoire le point X, Y. Il occupe le générateur de vecteur pour la synchronisation, l'initialisation et un cycle d'écriture.

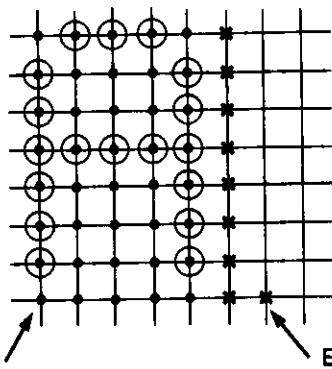
GENERATEUR DE CARACTERES ET DE SYMBOLES

Le générateur de caractères agit de la même façon que le générateur de vecteurs par des incréments ou décréments des registres X, Y associées à un contrôle de la sortie \overline{DW} .

Il est paramétré par les registres CSIZE, CTRL2 et CMD. Les caractères tracés sont choisis d'après la valeur de CMD parmi 98 matrices (97 matrices rectangulaires de 8 points de haut par 5 points de large, et une de 4 points par 4 points) définies dans une ROM interne. Deux facteurs d'échelle peuvent être appliqués aux caractères tracés suivant X et Y définis par le registre CSIZE. Les caractères peuvent être inclinés en fonction du registre CTRL2.

Matrice de base

Après le tracé, les registres X et Y sont positionnés pour écrire un nouveau caractère à côté du premier, avec un espace de 1 point, c'est-à-dire que Y est revenu à sa valeur initiale et que X a été incrémenté de 6 :



- Points non modifiés
 - ⊙ Points modifiés
 - × Points calculés non définis dans la ROM (non modifiables)
- } si $CMD = 41_{16}$ (dans la version standard de la ROM).

Facteurs d'échelle

Chacun des points de la matrice 5 x 8 de base peut être remplacé par un pavé de dimension P x Q

- P : facteur d'échelle en X
- Q : facteur d'échelle en Y

La dimension du caractère devient 5P x 8Q. Après le tracé, X a été incrémenté de 6P. Le nombre de cycles d'horloge CK nécessaires est 6P x 8Q.

P et Q peuvent chacun prendre les valeurs de 1 à 16. Ils sont définis par le registre CSIZE. Chaque valeur est codée sur 4 bits, la valeur 16 étant codée 0_{16} .

UTILISATION DE LA CIRCUITERIE DU PHOTOSTYLE

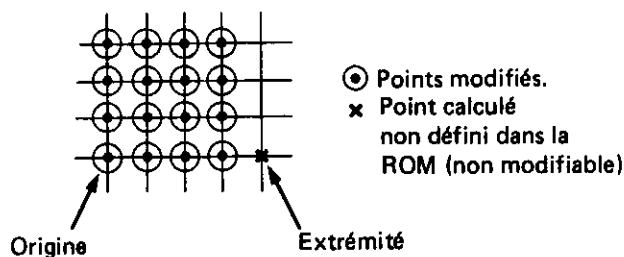
Un front montant sur l'entrée LPCK permet d'échantillonner dans les 2 registres XLP et YLP l'adresse courante de visualisation à condition que ce front arrive dans la trame qui suit le chargement dans le registre CMD du code 08_{16} ou 09_{16} .

Pour cette action, le début des trames est compté à partir du front descendant de VB. S'il s'agit du code 08_{16} , la sortie WHITE recopie le signal BLK depuis le début de la trame jusqu'au front montant sur l'entrée LPCK ou jusqu'à la remontée de VB si l'entrée LPCK reste au niveau

Dans le registre CSIZE, P est codé sur les 4 bits de poids fort, Q sur les 4 bits de poids faible.

Parmi les 97 matrices rectangulaires disponibles dans la ROM standard, 96 correspondent aux valeurs de CMD comprises entre 20_{16} et $7F_{16}$ et la 97ème à la valeur $0A_{16}$. Dans la version standard, ces valeurs correspondent aux 96 caractères imprimables du jeu ASCII. Le 97ème caractère est un pavé 5P par 8Q pouvant servir à l'effacement des autres caractères.

Le 98ème code ($0B_{16}$) permet de tracer un pavé graphique 4P x 4Q. Il positionne X, Y sans espace pour le symbole suivant. Ce pavé permet de remplir des zones uniformes sur l'écran.



Inclinaisons

Sur tous ces caractères peuvent être appliqués des changements d'axes pour réaliser des caractères en italique ou pour annoter l'axe vertical en symboles droits ou italiques. Ces transformations s'obtiennent grâce aux bits 2 et 3 du registre CTRL2.

Nota : Les facteurs d'échelle P et Q s'appliquent toujours dans le repère propre au caractère avant transformation.

Effacement d'un caractère

Un caractère peut être effacé soit avec le même code de commande, soit avec le code de commande $0A_{16}$. Dans tous les cas, le bit 1 de CTRL1 doit être inversé, l'origine doit être la même qu'avant le tracé d'un caractère, ainsi que les facteurs d'échelle et l'inclinaison.

Nota : Un parallèle peut être fait entre les actions des générateurs de vecteurs et de caractères :

	VECTEUR	CARACTERE
Dimensions	DELTA X, DELTA Y	CSIZE, inclinaison
Modulation de \overline{DW}	Type de trait	Code du caractère

bas pendant toute la trame. S'il s'agit du code 09_{16} , la sortie WHITE n'est pas activée.

L'adresse YLP est codée sur 8 bits puisqu'il y a 256 lignes de visualisation par trame. L'adresse XLP est codée sur 6 bits puisqu'il y a 64 cycles de visualisation par lignes.

Ces 6 bits sont cadrés à gauche dans le registre XLP. Les contenus des registres XLP et YLP correspondent à l'adresse d'écriture si FMAT est bas (ou pour le EF9366), mais sont à multiplier par 2 si FMAT est haut pour retrouver une coïncidence avec l'adresse d'écriture.

L'adresse échantillonnée dans XLP correspond au cycle mémoire courant. Les points détectés par le photostyle ont été adressés dans la mémoire lors du cycle précédent. Il faut donc soustraire 1 au bit 2 du registre XLP dans le cas où l'électronique du photostyle ne rajoute pas de retard supplémentaire.

Si le front montant sur l'entrée LPCK a bien eu lieu, alors que VB était à l'état bas, le bit de poids faible de XLP est mis à l'état haut. Ce bit constitue un signal d'état qui est

remis à l'état bas par la lecture de l'un des 2 registres XLP ou YLP.

Le premier front montant reçu (LPCK ou VB) met à l'état haut le bit 0 du registre STATUS. Une interruption est émise si le bit 4 de CTRL1 est à l'état haut.

Dès la fin du décodage des commandes 08_{16} ou 09_{16} , le bit 2 du registre STATUS passe à l'état haut (circuit prêt pour une nouvelle commande) et le bit 0 passe à l'état bas (séquence photostyle en cours).

COMMANDES D'EFFACEMENT DE L'ECRAN

Trois commandes (04_{16} , 06_{16} , 07_{16}) positionnent toute la mémoire d'image à l'état correspondant à "vidéo noire". Une commande ($0C_{16}$) remplit entièrement la mémoire à un état éventuellement autre que noir (cet état dépend du bit 1 de CTRL1).

Ces 4 commandes utilisent le balayage systématique des adresses mémoires réalisé par la partie visualisation. Les commandes 04_{16} et $0C_{16}$ ne modifient pas les registres X et Y. Le temps nécessaire est donc celui d'une trame (EF9366 ou FMAT bas) ou deux trames (FMAT haut). Il faut ajouter à ce temps celui correspondant à la fin de

la trame courante au moment du chargement du registre CMD.

Pour cette action d'effacement, le début des trames est compté à partir du front descendant de VB. Les seuls signaux affectés sont la sortie \overline{DW} qui reste basse quand VB est bas et la sortie DIN qui est forcée à l'état haut pour les commandes 04_{16} , 06_{16} et 07_{16} .

Ces commandes sont activées indépendamment de l'entrée W0 ou du bit 2 du registre CTRL1. Pendant la durée de l'exécution de ces commandes, le bit 2 du registre STATUS reste à l'état bas.

DEMANDE EXTERNE D'ACCES A LA MEMOIRE D'IMAGE (SORTIE \overline{MFREE})

Après écriture du code $0F_{16}$ dans le registre CMD, le circuit met la sortie \overline{MFREE} à l'état bas pendant le premier cycle mémoire libre qui suit.

En dehors des périodes de visualisation ou de rafraîchissement, ce cycle est le premier cycle entier après la remontée de l'entrée \overline{E} .

Pendant ce cycle, les adresses sortant sur DAD et MSL correspondent aux contenus des registres X et Y, DW

est à l'état haut, \overline{ALL} est à l'état haut.

Si la mémoire est occupée en visualisation ou en rafraîchissement (cas où \overline{ALL} est bas), alors ce cycle est différé après la remontée de \overline{ALL} . Le temps d'attente maximum est donc de 64 cycles.

Le signal \overline{MFREE} peut être utilisé par exemple pour l'écriture ou la lecture d'un registre tampon entre la mémoire d'image et le bus microprocesseur.

FONCTIONNEMENT DES INTERRUPTIONS

Trois signaux internes peuvent être à l'origine d'une interruption :

- Circuit libre pour une nouvelle commande,
- Signal retour de trame (identique à la sortie VB)
- Fin de séquence photostyle.

Ces trois signaux apparaissent en temps réel dans le registre STATUS (bits 0, 1, 2). A chacun de ces 3 signaux correspond un bit de masque dans le registre CTRL1 (bits 4, 5, 6).

Si le bit de masque est à l'état haut, le premier front montant sur le signal origine de l'interruption met à l'état haut la bascule d'interruption correspondante.

Les sorties de ces 3 bascules apparaissent dans le registre STATUS (bits 4, 5, 6). Si l'une de ces bascules est à l'état

haut, le bit 7 du mot STATUS est à l'état haut et la broche \overline{IRQ} est forcée au niveau bas.

La lecture du registre STATUS remet à l'état bas ses 4 bits de poids fort après que l'entrée \overline{E} soit revenue au niveau haut.

Les 3 bascules d'interruption sont doublées pour éviter de perdre une interruption qui arriverait pendant la lecture du registre STATUS.

L'état des bits 4, 5, 6 correspond à la sortie des bascules d'interruption avant la descente de l'entrée \overline{E} .

Une interruption arrivant pendant la lecture du mot d'état n'apparaît pas dans les bits 4, 5, 6 lors de cette lecture, mais lors de la suivante. Par contre, elle peut apparaître dans les bits 0, 1, 2 ou sur la broche \overline{IRQ} .

ADRESSE ET FONCTION DES REGISTRES

REGISTRE D'ADRESSE					FONCTION DES REGISTRES		Nombre de bits
Binaire				Hexa	Lecture	Ecriture	
A3	A2	A1	A0				
0	0	0	0	0	STATUS	CMD	8
0	0	0	1	1	CTRL1 (contrôle de l'écriture et des interruptions)		7
0	0	1	0	2	CTRL2 (orientation des symboles et type de vecteurs)		4
0	0	1	1	3	CSIZE (taille des caractères)		8
0	1	0	0	4	Réservé		—
0	1	0	1	5	DELTA X		8
0	1	1	0	6	Réservé		—
0	1	1	1	7	DELTA Y		8
1	0	0	0	8	X Poids fort		4
1	0	0	1	9	X Poids faible		8
1	0	1	0	A	Y Poids fort		4
1	0	1	1	B	Y Poids faible		8
1	1	0	0	C	XLP	Réservé	7
1	1	0	1	D	YLP	Réservé	8
1	1	1	0	E	Réservé		—
1	1	1	1	F	Réservé		—

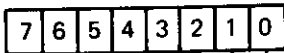
Réservé : Ces adresses sont réservées pour des versions futures du circuit. En lecture, les amplificateurs de sortie D0 à D7 forcent l'état haut sur le bus de donnée.

RESUME DES CODES DE COMMANDE

b7 b6 b5 b4	b3 b2 b1 b0	0 0 0 0 1 1 2 3 4 5 6 7 8 9 A B C D E F																													
		0 1 2 3 4 5 6 7 8 9 A B C D E F																													
0 0 0 0	0	Met à 1 le bit 1 de CTRL1 : "Choix de la plume"	Vecteurs standard (cf. petits vecteurs pour b ₂ , b ₁ , b ₀)	Espace	0	@	P	·	p	PETITS VECTEURS :																					
0 0 0 1	1	Met à 0 le bit 1 de CTRL1 : "Choix de la gomme"		!	1	A	Q	a	q	<table border="1" style="font-size: small;"> <tr> <th>b7</th><th>b6</th><th>b5</th><th>b4</th><th>b3</th><th>b2</th><th>b1</th><th>b0</th> </tr> <tr> <td>1</td><td> \Delta X </td><td> \Delta Y </td><td colspan="4">Direction</td> </tr> </table>							b7	b6	b5	b4	b3	b2	b1	b0	1	\Delta X	\Delta Y	Direction			
b7	b6	b5		b4	b3	b2	b1	b0																							
1	\Delta X	\Delta Y		Direction																											
0 0 1 0	2	Met à 1 le bit 0 de CTRL1 : "Passage en plume ou gomme baissée"		"	2	B	R	b	r	Dimension																					
0 0 1 1	3	Met à 0 le bit 0 de CTRL1 : "Passage en plume ou gomme levée"		#	3	C	S	c	s	<table border="1" style="font-size: small;"> <tr> <th>\Delta X ou \Delta Y</th><th>Long. du vecteur</th> </tr> <tr> <td>0 0</td><td>0 pas</td> </tr> <tr> <td>0 1</td><td>1 pas</td> </tr> <tr> <td>1 0</td><td>2 pas</td> </tr> <tr> <td>1 1</td><td>3 pas</td> </tr> </table>							\Delta X ou \Delta Y	Long. du vecteur	0 0	0 pas	0 1	1 pas	1 0	2 pas	1 1	3 pas					
\Delta X ou \Delta Y	Long. du vecteur																														
0 0	0 pas																														
0 1	1 pas																														
1 0	2 pas																														
1 1	3 pas																														
0 1 0 0	4	Effacement de l'écran.	\$	4	D	T	d	t	Direction																						
0 1 0 1	5	Remise à 0 des registres X et Y.	%	5	E	U	e	u																							
0 1 1 0	6	Effac. de l'écran et remise à 0 de X et Y	&	6	F	V	f	v																							
0 1 1 1	7	Effacement de l'écran, positionnement à 11 ₁₆ du registre CSIZE, remise à 0 des autres registres (sauf XLP, YLP).	'	7	G	W	g	w																							
1 0 0 0	8	Initialisation du photostyle (forçage de la sortie WHITE au niveau bas).	Vecteurs de directions privilégiées (cf. petits vecteurs pour b ₂ , b ₁ , b ₀)	(8	H	X	h	x																						
1 0 0 1	9	Initialisation du photostyle.)	9	I	Y	i	y																						
1 0 1 0	A	Lancement du tracé du pavé 5 x 8		*	:	J	Z	j	z																						
1 0 1 1	B	Lancement du tracé du pavé 4 x 4		+	:	K	[k	{																						
1 1 0 0	C	Balayage de l'écran avec la plume ou la gomme (suivant CTRL1)		,	<	L	\	l	;																						
1 1 0 1	D	Remise à 0 du registre X.		-	=	M]	m	}																						
1 1 1 0	E	Remise à 0 du registre Y.		.	>	N	^	n	~																						
1 1 1 1	F	Demande externe d'accès à la mémoire d'image pour le premier cycle libre.	/	?	O	←	o	⊞																							

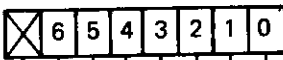
LES AUTRES REGISTRES

REGISTRE STATUS (lecture seulement)



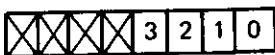
- 7 → HAUT = séquence photostyle terminée
 - 6 → HAUT = signal retour de trame (VB)
 - 5 → HAUT = circuit libre pour une nouvelle commande
 - 4 → HAUT = plume en dehors de la fenêtre visualisée : OU logique des bits de poids fort des registres X et Y.
 - 3 → HAUT = Interruption pour fin de séquence photostyle
 - 2 → HAUT = interruption pour signal VB à l'état haut
 - 1 → HAUT = Interruption pour circuit prêt à recevoir une nouvelle commande.
 - 0 → IRQ : OU logique des 3 bits précédents (haut quand la sortie \overline{IRQ} est à l'état bas).
- } Origines d'interruptions éventuelles (signaux non échantillonnés et non masqués)
- } Le OU logique de ces 3 bits fait passer \overline{IRQ} à l'état bas.
- } Ces 3 bits sont remis à 0 après lecture du registre STATUS.

REGISTRE CTRL1 (lecture/écriture)



- 6 → HAUT = plume ou gomme baissée ; BAS = plume ou gomme levée (contrôle la sortie \overline{DW}).
 - 5 → HAUT = plume ; BAS = gomme (contrôle la sortie DIN)
 - 4 → HAUT = écriture rapide : extinction de la vidéo (BLK au niveau haut), rafraîchissement minimal.
 - 3 → HAUT = écran cyclique (écriture même si le bit 3 de STATUS est au niveau haut).
 - 2 → HAUT = autorisation d'interruption pour fin de séquence photostyle.
 - 1 → HAUT = autorisation d'interruption pour signal VB à l'état haut
 - 0 → HAUT = autorisation d'interruption pour circuit prêt à recevoir une nouvelle commande.
- } Masque d'interruption
- Non utilisé (toujours 0 en lecture).

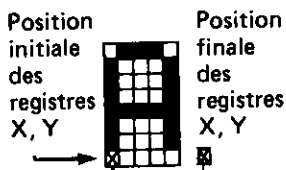
REGISTRE CTRL2 (lecture/écriture)



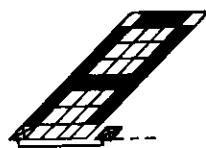
(toujours 0 en lecture)

- 3 → Type de trait des vecteurs
- 2 → HAUT = caractère en italique
- 1 → HAUT = caractère tracé suivant l'axe vertical
- 0 →

b1	b0	Types de trait des vecteurs	
0	0	————	continu
0	1	-----	pointillé 2 pts allumés, 2 pts éteints
1	0	-----	tiré 4 pts allumés, 4 pts éteints
1	1	- - - - -	trait mixte 10 pts allumés, 2 éteints 2 allumés, 2 éteints.



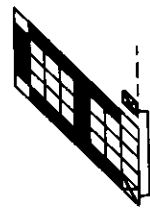
$b_3 = 0, b_2 = 0$



$b_3 = 0, b_2 = 1$

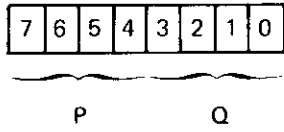


$b_3 = 1, b_2 = 0$



$b_3 = 1, b_2 = 1$

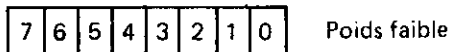
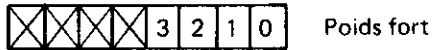
REGISTRE CSIZE (lecture/écriture)



P : facteur d'échelle en X
 Q : facteur d'échelle en Y

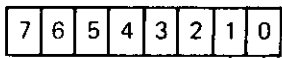
P et Q peuvent prendre 16 valeurs différentes de 1 à 16.
 La valeur 16 est codée 0_{16} .

REGISTRES X ET Y (lecture/écriture)

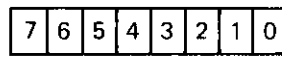


Les bits 4 à 7 de poids fort des registres X et Y sont à l'état bas en lecture.

REGISTRES XLP ET YLP



- Bit d'état indiquant si un front montant a été appliqué sur l'entrée LPCK pendant la première trame entière suivant l'initialisation du photostyle. Ce bit est remis à 0 par une lecture de XLP ou de YLP.
- Non utilisé (toujours 0 en lecture)
- Adresse en X du photostyle sur 6 bits.

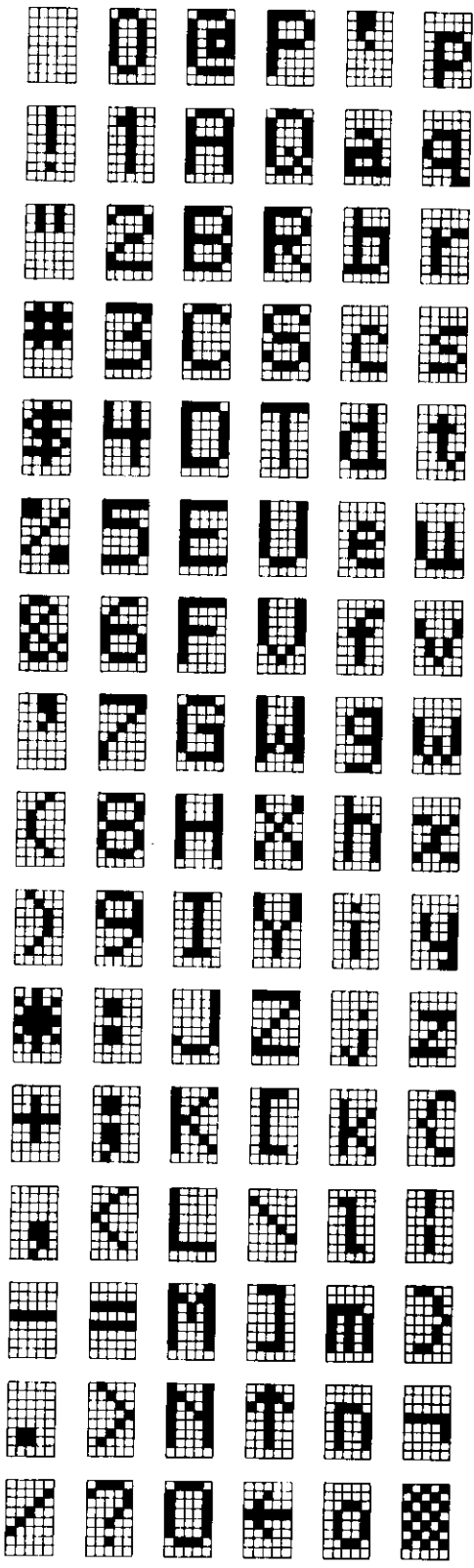


→ Adresse en Y du photostyle sur 8 bits

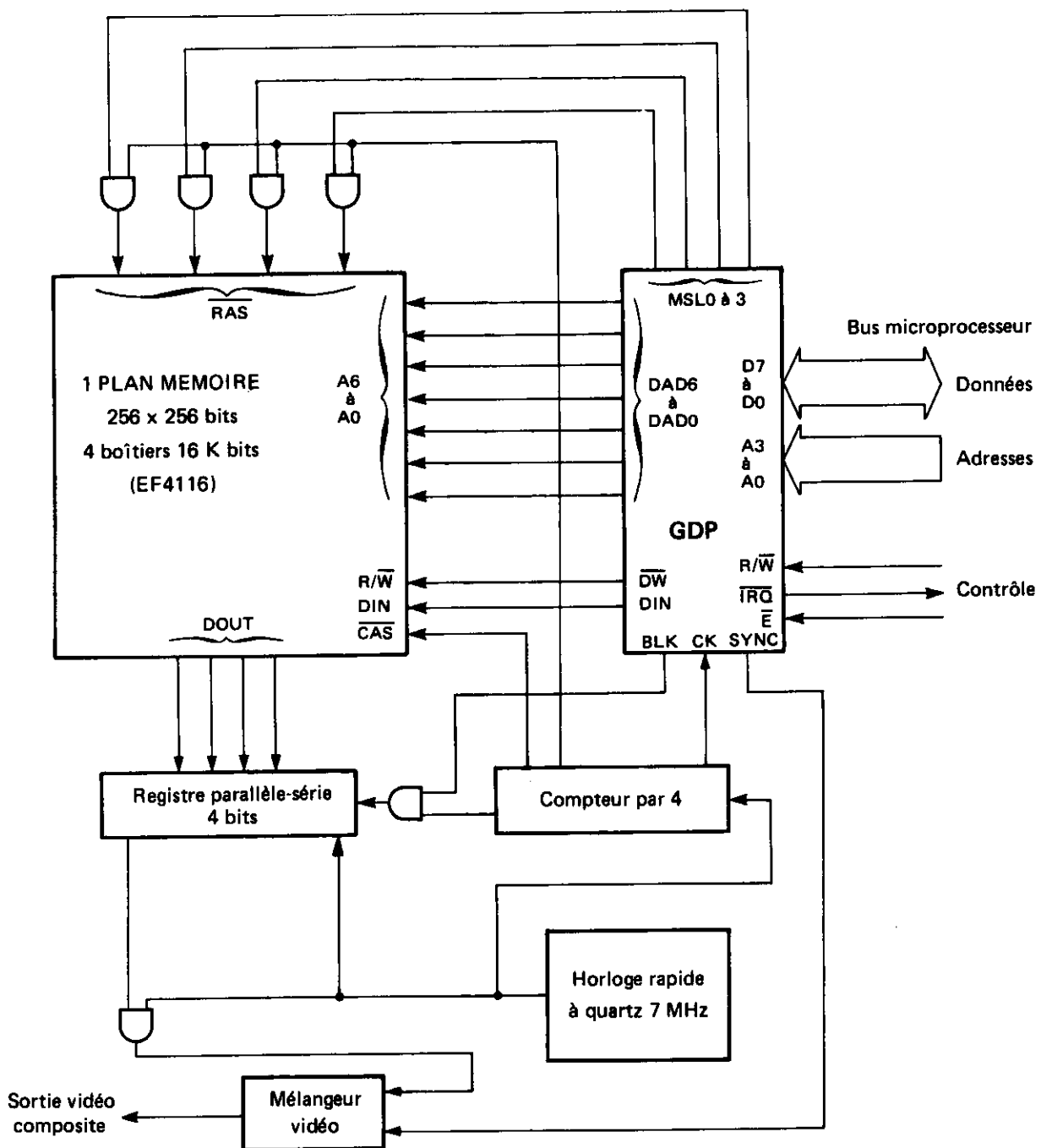
GENERATEUR DE CARACTERES ASCII (matrice 5 x 8)

b7	0	0	0	0	0	0
b6	0	0	1	1	1	1
b5	1	1	0	0	1	1
b4	0	1	0	1	0	1

b3	b2	b1	b0
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

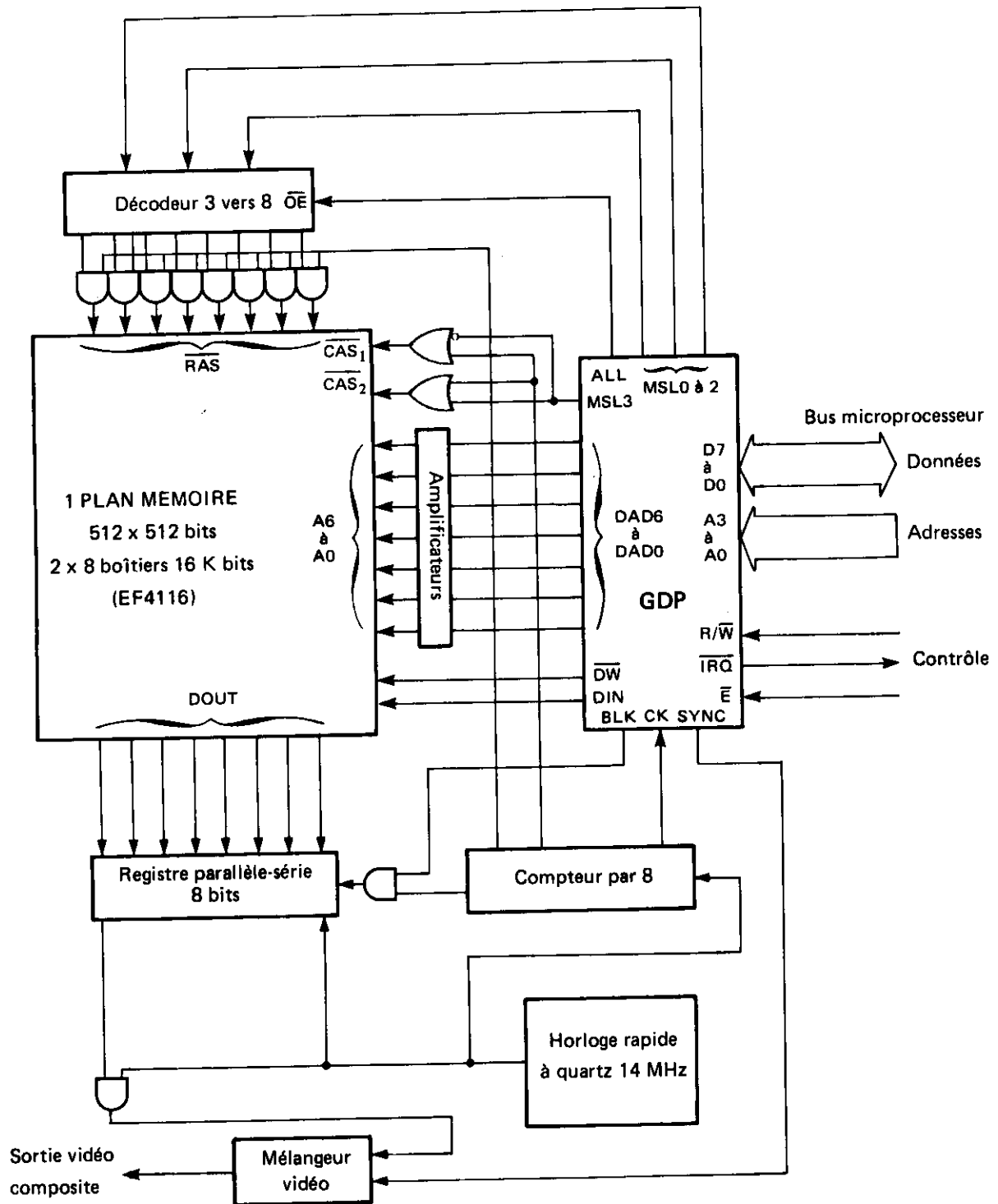


EXEMPLE D'APPLICATION DU EF9365 : 256 x 256 NOIR ET BLANC



Nota : FMAT = 0

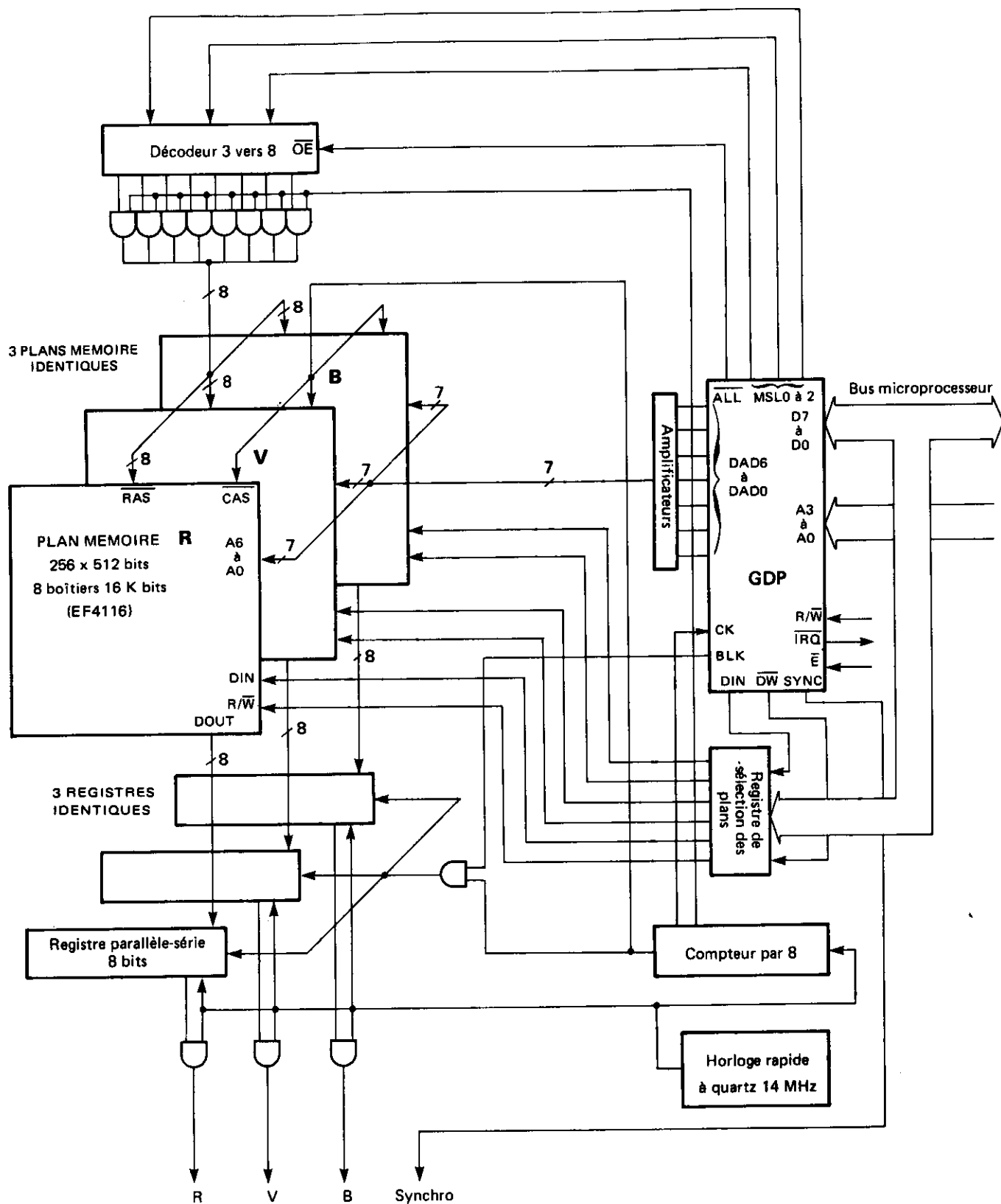
EXEMPLE D'APPLICATION DU EF9365 : 512 x 512 NOIR ET BLANC



Nota : FMAT = 1

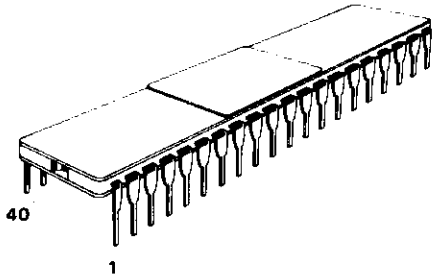
EXEMPLE D'APPLICATION DU EF9366 : 256 x 512 EN COULEUR

Huit couleurs peuvent être obtenues à partir des trois couleurs de base, rouge (R), vert (V), bleu (B)

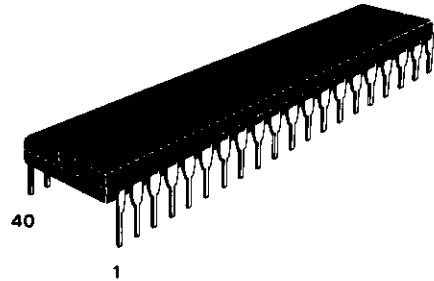


Nota : FMAT = 0

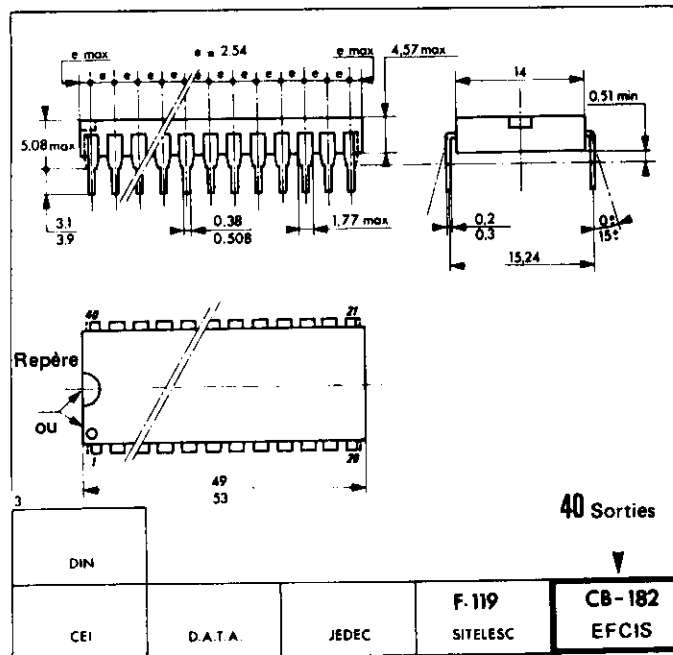
BOITIER CB-182



SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE



Informations préliminaires : ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.